

ELECTROOPTIC DEVICE, PROJECTION TYPE DISPLAY AND METHOD FOR MANUFACTURING ELECTROOPTIC DEVICE

Patent number: WO0181994
Publication date: 2001-11-01
Inventor: YASUKAWA MASAHIRO (JP); YAMAZAKI YASUSHI (JP)
Applicant: SEIKO EPSON CORP (JP); YASUKAWA MASAHIRO (JP); YAMAZAKI YASUSHI (JP)
Classification:
- International: G02F1/1368; G02F1/1335
- european: G02F1/1362B
Application number: WO2001JP03359 20010419
Priority number(s): JP20000121454 20000421; JP20010003029 20010110

Also published as:

US6583830 (B2)
US2002057403 (A1)

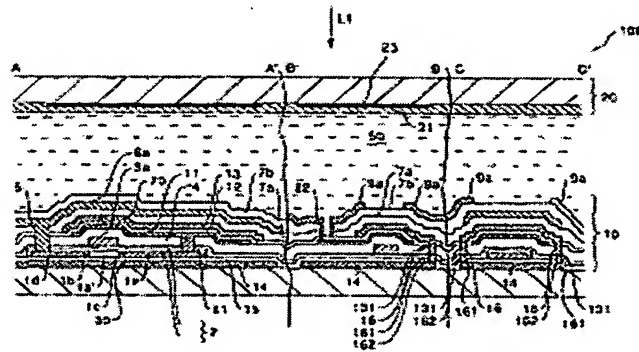
Cited documents:

JP9090339
JP7072473

Report a data error here

Abstract of WO0181994

An electrooptic device comprises a TFT array substrate (10) in which the channel region (1a') of a TFT (30) is covered, on the upper layer side thereof, with a scan line (3a), a drain electrode (11), a first light shielding film (13) and a data line (3a) and covered, on the lower layer side thereof, with a second light shielding film (14). A trench (16) for forming a side wall is made sideways in the channel region (1a') of the TFT (30) and a light shielding conductive film is formed in the trench simultaneously with the first light shielding film (13), thus forming a light shielding side wall (131). Since the channel region (1a') is shielded from light three-dimensionally, light is prevented from impinging on the channel region of an image switching TFT obliquely or sideways, thus preventing erroneous operation of the TFT or lowering of reliability thereof.



Data supplied from the **esp@cenet** database - Worldwide

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2001年11月1日 (01.11.2001)

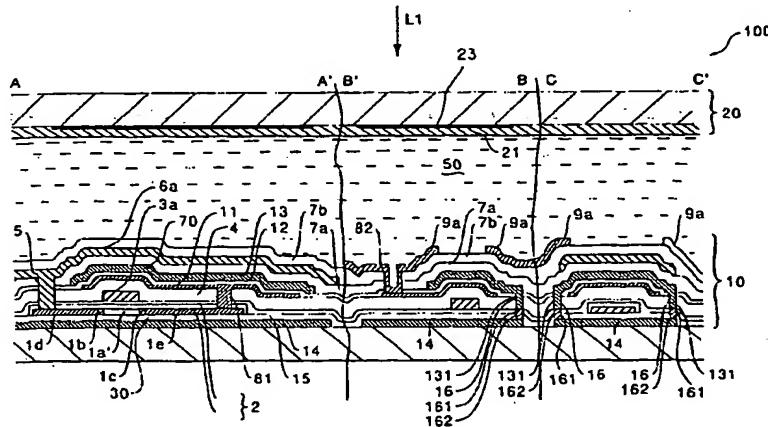
PCT

(10) 国際公開番号
WO 01/81994 A1

- (51) 国際特許分類: G02F 1/1368, 1/1335 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 安川昌宏 (YASUKAWA, Masahiro) [JP/JP], 山崎泰志 (YAMAZAKI, Yasushi) [JP/JP]; 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano (JP).
- (21) 国際出願番号: PCT/JP01/03359
- (22) 国際出願日: 2001年4月19日 (19.04.2001)
- (25) 国際出願の言語: 日本語 (74) 代理人: 上柳雅賢, 外 (KAMIYANAGI, Masataka et al.); 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産室内 Nagano (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: (81) 指定国 (国内): CN, JP, KR, US.
特願2000-121454 2000年4月21日 (21.04.2000) JP
特願2001-3029 2001年1月10日 (10.01.2001) JP
添付公開書類:
— 国際調査報告書
- (71) 出願人 (米国を除く全ての指定国について): セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP]; 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo (JP).
2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: ELECTROOPTIC DEVICE, PROJECTION TYPE DISPLAY AND METHOD FOR MANUFACTURING ELECTROOPTIC DEVICE

(54) 発明の名称: 電気光学装置、投射型表示装置及び電気光学装置の製造方法



(57) Abstract: An electrooptic device comprises a TFT array substrate (10) in which the channel region (1a') of a TFT (30) is covered, on the upper layer side thereof, with a scan line (3a), a drain electrode (11), a first light shielding film (13) and a data line (3a) and covered, on the lower layer side thereof, with a second light shielding film (14). A trench (16) for forming a side wall is made sideways in the channel region (1a') of the TFT (30) and a light shielding conductive film is formed in the trench simultaneously with the first light shielding film (13), thus forming a light shielding side wall (131). Since the channel region (1a') is shielded from light three-dimensionally, light is prevented from impinging on the channel region of an image switching TFT obliquely or sideways, thus preventing erroneous operation of the TFT or lowering of reliability thereof.

(続葉有)

WO 01/81994 A1



(57) 要約:

電気光学装置のTFTアレイ基板10では、TFT30のチャネル領域1a'の上層側が走査線3a、ドレイン電極11、第1の遮光膜13、データ線3aで覆われ、下層側は第2の遮光膜14で覆われている。TFT30のチャネル領域1a'の側方には側壁形成用溝16が形成され、この溝内には、遮光性の導電膜が第1の遮光膜13と同時形成されたことにより、遮光用側壁131が形成されている。このようにチャネル領域1a'を立体的に遮光することにより、画素スイッチング用のTFTのチャネル領域に斜めあるいは側方から光が入射することを防止して、TFTの誤動作や信頼性低下を防止できる。

明 細 書

電気光学装置、投射型表示装置及び電気光学装置の製造方法

技術分野

- 5 本発明は、アクティブマトリクス駆動方式の電気光学装置、これを備えた
投射型表示装置及びこれを製造する製造方法の技術分野に関する。より詳細
には、画素スイッチング用の薄膜トランジスタ（Thin Film Transistor:以下
適宜、T F Tと称す）を、基板上の積層構造中に備えた形式の電気光学装置
、これをライトバルブとして備えた投射型表示装置、及びこのような電気光
10 学装置を製造する製造方法の技術分野に関する。

背景技術

- T F Tアクティブマトリクス駆動形式の電気光学装置では、各画素に設け
られた画素スイッチング用T F Tのチャネル領域に入射光が照射されると光
15 による励起で光リーク電流が発生してT F Tの特性が変化する。特に、プロ
ジェクタのライトバルブ用の電気光学装置の場合には、入射光の強度が高い
ため、T F Tのチャネル領域やその周辺領域に対する入射光の遮光を行うこ
とは重要となる。そこで従来は、対向基板に設けられた各画素の開口領域を
規定する遮光膜により、或いはT F Tアレイ基板上においてT F Tの上を通
20 過すると共にA l（アルミニウム）等の金属膜からなるデータ線により、係
るチャネル領域やその周辺領域を遮光するように構成されている。更に、T
F Tアレイ基板上のT F Tの下側に対向する位置にも、例えば高融点金属か
らなる遮光膜を設けることがある。このようにT F Tの下側にも遮光膜を設
ければ、T F Tアレイ基板側からの裏面反射光や、複数の電気光学装置をブ
25 リズム等を介して組み合わせて一つの光学系を構成する場合に他の電気光学
装置からプリズム等を突き抜けてくる投射光などの戻り光が、当該電気光学
装置のT F Tに入射するのを未然に防ぐことができる。

このような電気光学装置は、遮光性能が高いため、比較的強力な投射光が
入射される例えば投射型表示装置のライトバルブとして用いられている。

発明の開示

しかしながら、上述した各種遮光技術によれば、以下の問題点がある。

即ち、先ず対向基板上やT F Tアレイ基板上に遮光膜を形成する技術によれば、遮光膜とチャンネル領域との間は、3次元的に見て例えば液晶層、電極、層間絶縁
5 膜等を介してかなり離間しており、両者間へ斜めに入射する光に対する遮光が十分ではない。特にプロジェクタのライトバルブとして用いられる小型の電気光学装置においては、入射光は光源からの光をレンズで絞った光束であり、斜めに入射する成分を無視し得ない程に（例えば、基板に垂直な方向から10度から15
10 度程度傾いた成分を10%程度）含んでいるので、このような斜めの入射光に対する遮光が十分でないことは実践上問題となる。

加えて、遮光膜のない領域から電気光学装置内に侵入した光が、基板の上面或いは基板の上面に形成された遮光膜の上面やデータ線の下面、即ちチャンネル領域に面する側の内面で反射された後に、係る反射光或いはこれが更に基板の上面或いは遮光膜やデータ線の内面で反射された多重反射光が最終的
15 にT F Tのチャンネル領域に到達してしまう場合もある。

特に近年の表示画像の高品位化という一般的要請に沿うべく電気光学装置の高精細化或いは画素ピッチの微細化を図るに連れて、更に明るい画像を表示すべく入射光の光強度を高めるに連れて、上述した従来の各種遮光技術によれば、十分な遮光を施すのがより困難となり、T F Tのトランジスタ特性
20 の変化により、フリッカ等が生じて、表示画像の品位が低下してしまうという問題点がある。

尚、このような耐光性を高めるためには、遮光膜の形成領域を広げればよいようにも考えられるが、遮光膜の形成領域を広げてしまったのでは、表示画像の明るさを向上させるべく各画素の開口率を高めることが根本的に困難になるという
25 問題点が生じる。更に上述の如くT F Tの下側の遮光膜やデータ線等からなるT F Tの上側の遮光膜等の存在により、斜め光に起因した内面反射や多重反射光が発生することに鑑みればむやみに遮光膜の形成領域を広げたのでは、このような内面反射光や多重反射光の増大を招くという解決困難な問題点もある。

本発明は上述の問題点に鑑みなされたものであり、耐光性に優れており、

明るく高品位の画像表示が可能な電気光学装置、これを備えた投射型表示装置、及びこの電気光学装置を製造する製造方法を提供することを課題とする。

本発明の第1電気光学装置は上記課題を解決するために、第1の基板と、
5 該第1の基板上に配置された画素電極と、前記第1の基板上に配置され且つ
前記画素電極に接続された薄膜トランジスタと、前記薄膜トランジスタのチャネル領域の上層側で、該チャネル領域にゲート絶縁膜を介して対向する前記薄膜トランジスタのゲート電極の上層側に配置された第1の遮光膜とを備えており、前記第1の遮光膜は、遮光用側壁として前記チャネル領域を側方
10 で囲む位置まで形成されている。

本発明の第1電気光学装置によれば、TFTのチャネル領域の上層側に形成した第1の遮光膜によって第1の基板の上層側から入射した光がチャネル領域に入射するのを防止する。また、第1の遮光膜は、遮光用側壁としてチャネル領域を側方で囲む位置まで形成されているため、チャネル領域に対して、光が斜め方向あるいは横方向から入射するのも防止することができる。
15 従って、本発明によれば、第1の基板の上層側から入射した光がTFTのチャネル領域に入射するのを確実に防止することができるので、このような光に起因するTFTの誤動作や信頼性の低下を確実に防止することができる。

本発明の第1電気光学装置の一態様では、前記第1の基板に対向配置された第2の基板と、前記第1及び第2の基板間に挟持された電気光学物質とを更に備える。
20

この態様によれば、耐光性に優れており一対の基板間に液晶等の電気光学物質が挟持された液晶装置等の電気光学装置を構築できる。

本発明の第1電気光学装置の他の態様では、前記第1の基板上には、前記
25 画素電極および前記薄膜トランジスタがマトリクス状に配置されている。

この態様によれば、耐光性に優れておりアクティブマトリクス駆動方式の液晶装置等の電気光学装置を構築できる。

本発明の第1電気光学装置の他の態様では、前記遮光用側壁は、例えば前記第1の遮光膜の下層側に位置する絶縁膜に形成された側壁形成用溝内に当

該第 1 の遮光膜が形成されてなる。

このような構成の第 1 電気光学装置は、以下の方法で製造できる。すなわち、第 1 の基板と、該第 1 の基板上に配置された画素電極と、前記第 1 の基板上に配置され且つ前記画素電極に接続された T F T とを備えた電気光学装置を製造する電気光学装置の製造方法において、チャネル領域の上層側でゲート絶縁膜を介してゲート電極が対向する前記 T F T を前記第 1 の基板の表面側に形成した後、該 T F T を覆う少なくとも一層の層間絶縁膜を形成し、次に、該層間絶縁膜に対して前記 T F T のチャネル領域の側方を通る側壁形成溝を形成し、しかる後に、少なくとも前記 T F T のチャネル領域を覆う第 1 の遮光膜を形成するとともに、該第 1 の遮光膜を形成するときには該第 1 の遮光膜を遮光用側壁として前記側壁形成溝内にも形成する。

本発明の第 1 電気光学装置の他の態様では、前記 T F T のドレイン領域には、該ドレイン領域の上層側に形成されたドレイン電極が電氣的に接続し、該ドレイン電極には、該ドレイン電極の上層側に形成された前記画素電極が電氣的に接続し、前記ドレイン電極は、前記チャネル領域を上層側で覆うように形成された遮光性を有する導電膜から形成されている。

この態様によれば、第 1 の遮光膜に加えて、遮光性のドレイン電極によっても遮光できるので、チャネル領域に対して光が入射するのを確実に防止することができる。

この態様では、前記ドレイン電極と前記第 1 の遮光膜は、前記ドレイン電極と前記第 1 の遮光膜の間に形成された絶縁膜を誘電膜として蓄積容量を形成していることが好ましい。

このように構成すると、ドレイン電極および第 1 の遮光膜はいずれも、チャネル領域を覆うような広い面積に形成されるので、これらの間に形成されている絶縁膜を誘電膜として利用すれば蓄積容量を構成することができる。従って、各画素に対して容量線を別途通す必要がないので、画素開口率を向上することができる。

本発明の第 1 電気光学装置の他の態様では、前記 T F T のソース領域には、該ソース領域の上層側に形成されたデータ線が電氣的に接続し、該データ

線は、前記チャネル領域を上層側で覆うように形成された遮光性の導電膜から形成されている。

この態様によれば、第1の遮光膜に加えて、遮光性のデータ線によっても遮光できるので、チャネル領域に対して光が入射するのを確実に防止することができる。

この態様では、前記TFTの能動層は、前記データ線の下層側で該データ線の形成領域の内側に形成された半導体膜から形成されていることが好ましい。

このように構成すると、TFTを構成する半導体膜全体を遮光性のデータ線によって遮光でき、かつ、データ線の形成領域内にTFTを形成できるので、画素開口率を高めることができる。

この場合例えば、前記データ線は、等しい幅寸法をもって直線的に延設されている。

本発明の第1電気光学装置の他の態様では、前記チャネル領域の下層側には、該チャネル領域に重なる第2の遮光膜が形成されている。

この態様によれば、第1の基板、あるいはその外側で反射した光が再び、第1の基板の裏面側から入射したときでも、このような光は第2の遮光膜で遮光される。従って、このような反射光がチャネル領域に対して入射することに起因するTFTの誤動作や信頼性の低下を防止することができる。

この態様では、前記第1の遮光膜は、前記側壁形成用溝を経由して前記第2の遮光膜に電氣的に接続されていることが好ましい。

このように構成すると、TFTのチャネル領域を第1の遮光膜、遮光用側壁、および前記第2の遮光膜によって周り全体を囲むことができるので、どの方向からの光も確実に遮光できる。また、第1の遮光膜と第2の遮光膜が電氣的に接続されているので、例えば、第2の遮光膜の電位を固定すれば、第1の遮光膜の電位を固定することができる。従って、第1の遮光膜を蓄積容量の固定電位側容量電極として容易に利用することができる。

この場合、前記第1の遮光膜は、前記第2の遮光膜に直接、接続されていてもよいし、前記第2の遮光膜に他の遮光性の導電膜を介して接続されてい

てもよい。

ここで、第1の遮光膜を第2の遮光膜に他の遮光性の導電膜を介して接続する場合には、例えば、前記側壁形成用溝内で、底部側に前記ゲート電極を構成する導電膜と同一の材料からなる導電膜が形成され、該導電膜の上に前

5 記遮光用側壁が形成されてもよい。

このような第1電気光学装置を製造するにあたっては、前記第1の基板の表面側に前記TFTを形成する前に、まず、前記第1の基板の表面側に第2の遮光膜、下地絶縁膜、前記薄膜トランジスタを形成する半導体膜、および当該薄膜トランジスタのゲート絶縁膜を形成する。次に、前記ゲート絶縁膜
10 および前記下地絶縁膜に対して前記薄膜トランジスタのチャネル領域の側方を通して前記第2の遮光膜に至る接続溝を形成した後、前記ゲート電極を形成するときには該ゲート電極を形成する導電膜を前記接続溝内にも形成する。それ以降、前記ゲート電極の上層側に前記層間絶縁膜を形成した後、前記側壁形成用溝を形成するときには前記接続溝に連通して当該接続溝と一体の
15 前記側壁形成用溝を形成し、しかる後に、前記第1の遮光膜を形成するとともに該第1の遮光膜を形成するときには当該第1の遮光膜を前記側壁形成溝内にも形成して当該側壁形成溝内で前記導電膜に接続する前記遮光用側壁を形成する。

他方、第1の遮光膜を第2の遮光膜に直接、接続する構成の場合には、例えば、前記側壁形成用溝内に、底部まで前記第1の遮光膜が形成されてもよい。
20

このような構成の第1電気光学装置を製造するにあたっては、前記第1の基板の表面側に前記薄膜トランジスタを形成する前に、まず、前記第1の基板の表面側に第2の遮光膜、下地絶縁膜、前記薄膜トランジスタを形成する半導体膜、当該薄膜トランジスタのゲート絶縁膜、当該薄膜トランジスタのゲート電極を形成し、それ以降、前記ゲート電極の上層側に前記層間絶縁膜を形成する。次に、前記側壁形成用溝を形成するときには、前記層間絶縁膜、前記ゲート絶縁膜、前記下地絶縁膜に対して前記薄膜トランジスタのチャネル領域の側方を通して前記第2の遮光膜に至る前記側壁形成用溝を形成し
25

、しかる後に、前記第 1 の遮光膜を形成するとともに該第 1 の遮光膜を形成するときには当該第 1 の遮光膜を前記側壁形成溝内にも形成して当該側壁用形成溝内で前記第 2 の遮光膜に接続する前記遮光用側壁を形成する。

本発明の第 2 電気光学装置は上記課題を解決するために、基板上に、画素電極と、該画素電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続された配線と、前記薄膜トランジスタ及び前記配線を立体的に覆う遮光部材とを備える。

本発明の第 2 電気光学装置によれば、画素電極をこれに接続された薄膜トランジスタによりスイッチング制御することにより、アクティブマトリクス駆動方式による駆動を行なえる。そして、遮光部材は、薄膜トランジスタを立体的に覆う。従って、基板面に対して上方から垂直に或いは斜めに進行する入射光及び基板面に対して下方から垂直に或いは斜めに入射する戻り光、並びにこれらに基づく内面反射光及び多重反射光などが、薄膜トランジスタのチャネル領域及びチャネル隣接領域に入射するのを、遮光部材により阻止できる。加えて、遮光部材により、各画素の非開口領域を精度よく格子状に規定できる。

この結果、本発明の第 2 電気光学装置によれば、耐光性を高めることが可能となり、強力な入射光や戻り光が入射するような過酷な条件下にあっても光リーク電流の低減された薄膜トランジスタにより画素電極を良好にスイッチング制御でき、最終的には本発明により、明るく高コントラストの画像を表示可能となる。

尚、このような技術的効果に鑑み、本発明において「薄膜トランジスタ及び配線を立体的に覆う遮光部材」とは、狭義には薄膜トランジスタ及び配線を内部に 3 次的に閉じた空間を規定する遮光部材を意味し、より広義には、3 次的にまちまちの方向から来る光を夫々多少なりとも遮光（反射或いは吸収）する限りにおいて、薄膜トランジスタ及び配線を内部に、若干の途切れを持って又は断続的に 3 次的に閉じた空間を規定する遮光部材を意味する。

本発明の第 2 電気光学装置の一態様では、前記遮光部材は、前記基板上に掘られ且つ前記薄膜トランジスタ及び前記配線が内部に収容された溝の底面

及び側壁に形成された一の遮光膜と、前記溝を上側から蓋する他の遮光膜とを含む。

この態様によれば、溝が基板に掘られ、この溝の底面及び側壁に一の遮光膜が形成されている。そして、この溝内部に薄膜トランジスタ及び配線が、
5 例えば層間絶縁膜等で相互に或いは一の遮光膜から層間絶縁されつつ、收容されている。そして、他の遮光膜でこの溝が上側から蓋されている。従って、比較的単純な構成及び製造プロセスを採用しつつ、確実に薄膜トランジスタ及び配線を立体的に遮光できる。

或いは本発明の第2電気光学装置の他の態様では、前記遮光部材は、前記
10 基板上に形成された下側遮光膜と、該下側遮光膜上に形成された前記薄膜トランジスタ及び前記配線上に形成された上側遮光膜と、平面的に見て前記薄膜トランジスタ及び前記配線の外側において前記上側遮光膜から前記下側遮光膜まで掘られた堀内に充填された側壁遮光膜とを含む。

この態様によれば、下側遮光膜と上側遮光膜との間に、薄膜トランジスタ
15 及び配線が、例えば層間絶縁膜等で相互に或いは下側及び上側遮光膜から層間絶縁されつつ、配置されている。そして、薄膜トランジスタ及び配線の外側には、例えば層間絶縁膜に、上側遮光膜から下側遮光膜まで至る堀が掘られており、その堀内には、側壁遮光膜が充填されている。従って、比較的単純な構成及び製造プロセスを採用しつつ、確実に薄膜トランジスタ及び配線
20 を立体的に遮光できる。

或いは本発明の第2電気光学装置の他の態様では、前記遮光部材は、一の平面領域において、前記基板上に掘られ且つ前記薄膜トランジスタ及び前記配線が内部に收容された溝の底面及び側壁に形成された一の遮光膜と、前記溝を上側から蓋する他の遮光膜とを含み、他の平面領域において、前記基板上に形成された下側遮光膜と、該下側遮光膜上に形成された前記薄膜トランジスタ及び前記配線上に形成された上側遮光膜と、平面的に見て前記薄膜トランジスタ及び前記配線の外側において前記上側遮光膜から前記下側遮光膜
25 まで掘られた堀内に充填された側壁遮光膜とを含む。

この態様では、一の平面領域において、比較的幅広の溝が基板に掘られ、

この溝の底面及び側壁に一の遮光膜が形成されている。そして、この溝内部に薄膜トランジスタ及び配線が、例えば層間絶縁膜等で相互に或いは一の遮光膜から層間絶縁されつつ、收容されている。そして、他の遮光膜でこの溝が上側から蓋されている。他方、他の領域において、下側遮光膜と上側遮光膜との間に、薄膜トランジスタ及び配線が、例えば層間絶縁膜等で相互に或いは下側及び上側遮光膜から層間絶縁されつつ、配置されている。そして、薄膜トランジスタ及び配線の外側には、例えば層間絶縁膜に、上側遮光膜から下側遮光膜まで至る、比較的幅狭の堀が掘られており、その堀内には、側壁遮光膜が充填されている。従って、比較的単純な構成及び製造プロセスを採用しつつ、確実に薄膜トランジスタ及び配線を立体的に遮光できる。特に、領域別に遮光部材の構成を変えることにより、装置設計の自由度が高まる。

或いは本発明の第2電気光学装置の他の態様では、前記遮光部材は、前記基板上に掘られ且つ前記薄膜トランジスタ及び前記配線が部分的に内部に收容された溝の底面及び側壁に形成された一の遮光膜と、該一の遮光膜上に形成された前記薄膜トランジスタ及び前記配線上に形成された上側遮光膜と、平面的に見て前記薄膜トランジスタ及び前記配線の外側において前記上側遮光膜から前記一の遮光膜まで掘られた堀内に充填された側壁遮光膜とを含む。

この態様によれば、比較的幅広の溝が基板に掘られ、この溝の底面及び側壁に一の遮光膜が形成されている。そして、この溝内部に薄膜トランジスタ及び配線が、部分的に收容されている。即ち、薄膜トランジスタ及び配線の一部は、基板を基準として溝の縁の高さよりも高くなるように、当該薄膜トランジスタ及び配線は、例えば層間絶縁膜等で相互に或いは一の遮光膜から層間絶縁されつつ、溝内に配置されている。更に、このように部分的に溝内に收容された薄膜トランジスタ及び配線の上側には、上側遮光膜が配置されている。薄膜トランジスタ及び配線の外側には、上側遮光膜から一の遮光膜まで至る、比較的幅狭の堀が掘られており、その堀内には、側壁遮光膜が充填されている。従って、比較的単純な構成及び製造プロセスを採用しつつ、

確実に薄膜トランジスタ及び配線を立体的に遮光できる。特に、複数の遮光膜を組み合わせて遮光部材を構成することにより、装置設計の自由度が高まる。

本発明の第3電気光学装置は上記課題を解決するために、一对の第1及び第2基板間に電気光学物質が挟持されてなり、前記第1基板上に、第1の周期で反転駆動されるための第1の画素電極群及び該第1の周期と相補の第2の周期で反転駆動されるための第2の画素電極群を含む平面配列された複数の画素電極と、該画素電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続された配線と、平面的に見て相隣接する画素電極の間隙となる領域において前記薄膜トランジスタ及び前記配線を立体的に覆うと共に該間隙となる領域のうち異なる画素電極群に含まれる相隣接する画素電極相互間に位置する領域部分を凸状に盛り上げる遮光部材とを備え、前記第2基板上に、前記複数の画素電極に対向する対向電極を備える。

本発明の第3電気光学装置によれば、画素電極をこれに接続された薄膜トランジスタによりスイッチング制御することにより、アクティブマトリクス駆動方式による駆動を行なえる。特に、第1の画素電極群を第1の周期で反転駆動し、第2の画素電極群を第1の周期と相補の第2の周期で反転駆動することにより、各画素における駆動電圧の極性を例えば走査線毎に反転させる走査線反転駆動方式やデータ線毎に反転させるデータ線反転駆動方式等の所謂ライン反転駆動方式の駆動や、画素単位で反転させるドット反転駆動方式を行なえる。このようにライン反転駆動方式等を採用すれば、直流電圧印加による電気光学物質の劣化防止に役立ち、更に表示画像におけるクロストークやフリッカの防止にも役立つ。そして、遮光部材は、平面的に見て相隣接する画素電極の間隙となる領域において薄膜トランジスタ及び配線を立体的に覆う。従って、基板面に対して上方から垂直に或いは斜めに進行する入射光及び基板面に対して下方から垂直に或いは斜めに入射する戻り光、並びにこれらに基づく内面反射光及び多重反射光などが、薄膜トランジスタのチャネル領域及びチャネル隣接領域に入射するのを、遮光部材により阻止できる。加えて、遮光部材により、各画素の非開口領域を精度よく格子状に

規定できる。

更に、遮光部材は、異なる画素電極群に含まれる相隣接する画素電極相互間に位置する領域部分を凸状に盛り上げる。従って、上述のライン反転駆動を行なった際に、駆動電位極性が異なる隣接画素電極間で発生する横電界を、
5 相対的に弱めることができる。即ち、一般に各画素電極と対向電極との間で発生する縦電界により駆動されることが想定されている電気光学装置において、隣接する画素電極間に横電界が発生すると、例えば液晶の配向不良の如き、電気光学物質の動作異常が引き起こされる。しかるに本発明のように、係る横電界が生じる領域において、遮光部材により、画素電極と対向電極
10 との間の距離を狭めることにより、この領域における縦電界を強めることができ、同領域で相対的に横電界による悪影響を弱めることが可能となるのである。

これらの結果、本発明の第3電気光学装置によれば、耐光性を高めることが可能となり、強力な入射光や戻り光が入射するような過酷な条件下にあつても光リーク電流の低減された薄膜トランジスタにより画素電極を良好にスイッチング制御でき、しかも、電気光学物質の寿命増大やフリッカ等の低減可能に役立つライン反転駆動方式等を採用しつつ、最終的には本発明により、明るく高コントラストの画像を表示可能となる。

本発明の第3電気光学装置の一態様では、前記遮光部材は、同一の画素電極群に含まれる相隣接する画素電極相互間に位置する領域部分において、前記基板上に掘られ且つ前記薄膜トランジスタ及び前記配線が内部に收容された溝の底面及び側壁に形成された一の遮光膜と、前記溝を上側から蓋する他の遮光膜とを含み、前記異なる画素電極群に含まれる相隣接する画素電極相互間に位置する領域部分において、前記基板上に形成された下側遮光膜と、
20 該下側遮光膜上に形成された前記薄膜トランジスタ及び前記配線上に形成された上側遮光膜と、平面的に見て前記薄膜トランジスタ及び前記配線の外側において前記上側遮光膜から前記下側遮光膜まで掘られた堀内に充填された側壁遮光膜とを含む。

この態様では、横電界が発生しない各画素間の間隙領域においては、比較

的幅広の溝が第1基板に掘られ、この溝の底面及び側壁に一の遮光膜が形成されている。そして、この溝内部に薄膜トランジスタ及び配線が、例えば層間絶縁膜等で相互に或いは一の遮光膜から層間絶縁されつつ、収容されている。そして、他の遮光膜でこの溝が上側から蓋されている。他方、横電界が発生する各画素間の間隙領域においては、下側遮光膜と上側遮光膜との間に、薄膜トランジスタ及び配線が、例えば層間絶縁膜等で相互に或いは下側及び上側遮光膜から層間絶縁されつつ、配置されている。そして、薄膜トランジスタ及び配線の外側には、例えば層間絶縁膜に、上側遮光膜から下側遮光膜まで至る、比較的幅狭の堀が掘られており、その堀内には、側壁遮光膜が充填されている。従って、横電界が発生する間隙領域では、遮光部材の存在により局所的に凸状に盛り上げることが可能となり、横電界による悪影響を低減できる。同時に、横電界が発生しない間隙領域では、遮光部材の存在により凸状に盛り上げないことが可能となり、電気光学物質に接する第1基板上の画素電極の下地表面における段差に基づく液晶の配向不良等の電気光学物質の動作不良を低減できる。

この態様では、前記同一の画素電極群に含まれる相隣接する画素電極相互間に位置する領域部分において、前記画素電極の下地に対して平坦化処理が施されているように構成してもよい。

このように構成すれば、横電界が発生しない間隙領域では、遮光部材が存在するものの、画素電極の下地に対して平坦化処理が施されている。例えば、CMP (Chemical Mechanical Polishing: 化学的機械研磨) 処理、スピコート処理等により或いは薄膜トランジスタ及び配線を収容する溝の深さを調節することにより、平坦化処理が施されている。この結果、横電界が発生しない間隙領域では、電気光学物質に接する画素電極の下地表面における段差に基づく液晶の配向不良等の電気光学物質の動作不良を極力低減できる。

本発明の第2又は第3電気光学装置における遮光部材が側壁遮光膜を含む態様では、前記上側遮光膜と前記側壁遮光膜とは一体形成されているように構成してもよい。

このように構成すれば、比較的簡単な構成及び製造プロセスを用いて、信

頼性の高い遮光部材を構築できる。例えば、薄膜トランジスタや配線と相前後して積層形成された層間絶縁膜に堀を掘った後にその上に上側遮光膜を埋めるように形成すればよい。

5 本発明の第2又は第3電気光学装置における他の態様では、前記画素電極と前記薄膜トランジスタとは、遮光性の導電膜を介して接続されている。

この態様によれば、例えばコンタクトホールが開孔されており、遮光部材で囲まれた内部空間に対して外部からの光漏れが生じ易い画素電極と薄膜トランジスタとの接続個所における光漏れを確実に阻止できる。

10 本発明の第2又は第3電気光学装置における他の態様では、前記画素電極と前記薄膜トランジスタとの接続個所は、平面的に見て相隣接する薄膜トランジスタの中央に位置する。

15 この態様によれば、遮光部材で囲まれた内部空間に対して、画素電極と薄膜トランジスタとの接続個所、例えばコンタクトホールを介して外部からの光漏れが生じたとしても、当該光漏れの個所は、各薄膜トランジスタと基板面に沿って離間しているため、漏れた光うち薄膜トランジスタのチャネル領域及びその隣接領域にまで達するものを極力低減できる。

本発明の第2又は第3電気光学装置における他の態様では、前記基板に対向すると共に、前記画素電極と前記薄膜トランジスタとの接続箇所に対向して形成された遮光膜を有する。

20 この態様によれば、例えばコンタクトホールが開孔されており、遮光部材で囲まれた内部空間に対して外部からの光漏れが生じ易い画素電極と薄膜トランジスタとの接続個所における光漏れを確実に阻止できる。

本発明の第2又は第3電気光学装置における他の態様では、前記遮光部材は、高融点金属を含む膜からなる。

25 この態様によれば、遮光部材は、例えば、Ti（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）、Pb（鉛）等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等の高融点金属を含む膜からなる。従って、遮光部材により良好な高い遮光性能が得られる。

本発明の第2又は第3電気光学装置における他の態様では、前記配線は、相交差する走査線及びデータ線を含み、前記遮光部材は、平面的に見て格子状に形成されている。

5 この態様によれば、画像表示領域には、走査線及びデータ線が相交差して格子状に配線されているが、これらは、格子状に形成された遮光部材により、すっぽりと立体的に覆われている。このため、走査線及びデータ線付近を介してこれらに接続された薄膜トランジスタに光が漏れる可能性を低減できる。

10 本発明の第2又は第3電気光学装置における他の態様では、前記第1基板上に、前記遮光部材により立体的に覆われた空間内に配置されており前記画素電極に接続された蓄積容量を更に備える。

15 この態様によれば、遮光部材により立体的に覆われた空間内に蓄積容量を構築するので、蓄積容量の存在により遮光性能が低下することを防ぎつつ、画素電極に対して蓄積容量を付加することにより画素電極における電位保持特性を顕著に高められる。

本発明の投射型表示装置は上記課題を解決するために、上述した本発明の第1、第2又は第3電気光学装置（但し、その各種態様も含む）からなるライトバルブと、該ライトバルブに投射光を照射する光源と、前記ライトバルブから出射される投射光を投射する光学系とを備える。

20 本発明の投射型表示装置によれば、光源から投射光がライトバルブに照射され、ライトバルブから出射される投射光は、光学系により、スクリーン等に投射される。この際、当該ライトバルブは、上述した本発明の第1、第2又は第3電気光学装置からなるので、投射光強度を高めても、前述の如く優れた遮光性能によって光リーク電流の低減された薄膜トランジスタにより画素電極を良好にスイッチング制御できる。この結果、最終的には明るく高コントラストの画像を表示可能となる。

25 本発明のこのような作用及び他の利得は次に説明する実施例から明らかにされる。

図面の簡単な説明

図 1 は、本発明の第 1 実施例の電気光学装置において、マトリクス状に配置された複数の画素に形成された各種素子、配線などの等価回路図である。

5 図 2 は、図 1 に示す電気光学装置において、データ線、走査線、画素電極、遮光膜等が形成された TFT アレイ基板の相隣接する複数の画素群の平面図である。

図 3 は、図 2 に示す TFT アレイ基板における画素電極の形成領域を示す拡大図である。

10 図 4 は、図 2 に示す TFT アレイ基板における走査線およびデータ線の形成領域を示す拡大図である。

図 5 は、図 2 に示す TFT アレイ基板における TFT 形成用の半導体膜の形成領域を示す拡大図である。

図 6 は、図 2 の A-A' 線、B-B' 線および C-C' 線に相当する位置での断面図である。

15 図 7 は、図 2 に示す TFT アレイ基板におけるドレイン電極の形成領域を示す拡大図である。

図 8 は、図 2 に示す TFT アレイ基板における第 1 の遮光膜および側壁形成用溝の形成領域を示す拡大図である。

20 図 9 は、図 2 に示す TFT アレイ基板における第 1 の遮光膜および側壁形成用溝の形成領域を示す拡大図である。

図 10 は、図 2 に示す TFT アレイの製造方法を示す工程断面図である。

図 11 は、図 2 に示す TFT アレイの製造方法において、図 10 に示す工程に続いて行う各工程の工程断面図である。

25 図 12 は、図 2 に示す TFT アレイの製造方法において、図 11 に示す工程に続いて行う各工程の工程断面図である。

図 13 は、図 2 に示す TFT アレイの製造方法において、図 12 に示す工程に続いて行う各工程の工程断面図である。

図 14 は、図 2 に示す TFT アレイの製造方法において、図 13 に示す工程に続いて行う各工程の工程断面図である。

図15は、図2に示すTFTアレいの製造方法において、図14に示す工程に続いて行う各工程の工程断面図である。

図16は、図2に示すTFTアレいの製造方法において、図15に示す工程に続いて行う各工程の工程断面図である。

5 図17は、本発明の第2実施例の電気光学装置の断面図である。

図18は、第3実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレい基板の相隣接する複数の画素群の平面図である。

図19は、図18のD-D'断面図である。

10 図20は、図18のE-E'断面図である。

図21は、本発明の第4実施例における図18のE-E'に対応する個所の断面図である。

図22は、本発明の第5実施例における図18のE-E'に対応する個所の断面図である。

15 図23は、本発明の第6実施例の電気光学装置における走査線反転駆動時の各画素電極での駆動電圧の極性と横電界の発生領域との関係を示した複数の画素電極の図式的平面図である。

図24は、電気光学装置を対向基板の側からみたときの平面図である。

図25は、図24のH-H'断面図である。

20 図26は、本発明に係る電気光学装置を表示装置として用いた電子機器の一例としての投射型表示装置の回路構成を示すブロック図である。

図27は、本発明に係る電気光学装置を用いた電子機器の一例としての投射型電気光学装置の光学系の構成を示す断面図である。

25 発明を実施するための最良の形態

以下、本発明を実施するための最良の形態について実施例毎に順に図面に基づいて説明する。以下の各実施例は、本発明の電気光学装置を液晶装置に適用したものである。

(第1実施例)

先ず第1実施例の電気光学装置について、図1から図16を参照して説明する。

本発明を適用した電気光学装置の構成および動作について、図1から図9を参照して説明する。図1は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路図である。図2は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。図3は、このTFTアレイ基板における画素電極の形成領域を示す拡大図である。図4は、このTFTアレイ基板における走査線およびデータ線の形成領域を示す拡大図である。図5は、このTFTアレイ基板におけるTFT形成用の半導体膜の形成領域を示す拡大図である。図6は、図2のA-A'線、B-B'線およびC-C'線に相当する位置での断面図である。図7は、このTFTアレイ基板におけるドレイン電極の形成領域を示す拡大図である。図8は、このTFTアレイ基板における第1の遮光膜および側壁形成用溝の形成領域を示す拡大図である。図9は、このTFTアレイ基板における第1の遮光膜および側壁形成用溝の形成領域を示す拡大図これらの図において、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

図1において、電気光学装置の画面表示領域において、マトリクス状に形成された複数の画素の各々には、画素電極9aを制御するための画素スイッチング用のTFT30が形成されており、画素信号を供給するデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画素信号S1、S2・・・Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしてもよい。また、TFT30のゲートには走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2・・・Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのオン状態とすることにより、

データ線 6 a から供給される画素信号 S 1、S 2・・・S n を各画素に所定のタイミングで書き込む。このようにして画素電極 9 a を介して電気光学物質に書き込まれた所定レベルの画素信号 S 1、S 2、・・・S n は、後述する対向基板に形成された対向電極との間で一定期間保持される。電気光学物質は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画素信号に応じたコントラストを持つ光が出射する。

ここで、保持された画素信号がリークするのを防ぐために、画素電極 9 と対向電極とに間に形成される液晶容量と並列に蓄積容量 7 0 を付加することがある。例えば、画素電極 9 a の電圧は、ソース電圧が印加された時間よりも 3 桁も長い時間だけ蓄積容量 7 0 により保持される。これにより、電荷の保持特性は改善され、コントラスト比の高い電気光学装置 1 0 0 が実現できる。

図 2 において、電気光学装置の T F T アレイ基板には、マトリクス状に複数の透明な画素電極 9 a が各画素毎に形成されている。この画素電極 9 a の形成領域は、図 3 に示す拡大図において右上がりの斜線を付した矩形の領域である。

また、画素電極 9 a の縦横の境界領域に沿ってデータ線 6 a および走査線 3 a が形成されているが、伝統的な電気光学装置と違って、専用の容量線は形成されてない。

データ線 6 a の形成領域は、図 4 に示す拡大図において右下がりの斜線を付した領域であり、データ線 6 a の両端部分は、画素電極 9 a の端部と重なっている。走査線 3 a の形成領域は、図 4 に示す拡大図において右上がりの斜線を付した領域であり、走査線 3 a の両端部分も画素電極 9 a の端部と重なっている。

本実施例において、データ線 6 a は、コンタクトホール 5 を介してポリシ

リコン膜からなる半導体膜 1 a のうち後述のソース領域に電氣的に接続されており、画素電極 9 a は、コンタクトホール 8 1 及び 8 2 を介して、半導体膜 1 a のうち後述のドレイン領域に電氣的に接続されている。また、半導体膜 1 a のうち、後述のチャネル形成用領域に対向するように走査線 3 a (ゲート電極) が通っている。

この半導体膜 1 a の形成領域は、図 5 に示す拡大図において右上がりの斜線を付した領域である。

本実施例において、データ線 6 a は、等しい幅寸法をもって直線的に延設されたアルミニウム等の金属膜や金属シリサイド等の合金膜などといった遮光性を有する導電膜からなり、半導体膜 1 a は、このデータ線 6 a の下層側でデータ線 6 a の形成領域の内側に形成されている。すなわち、半導体膜 1 a は、各画素電極 9 a の縦横の境界領域を利用して形成されている。

図 6 に示すように、電気光学装置 100 は、TFT アレイ基板 10 (第 1 の基板) と、これに対向配置される対向基板 20 (第 2 の基板) とを備えている。TFT アレイ基板 10 は、例えば石英基板からなり、対向基板 20 は例えばガラス基板や石英基板からなる。TFT アレイ基板 10 には、画素電極 9 a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 (図示せず。) が形成されている。画素電極 9 a は、例えば、ITO 膜 (インジウム・ティン・オキサイド膜) 等の透明な導電性薄膜からなる。また配向膜は例えば、ポリイミド薄膜などの有機薄膜からなる。

TFT アレイ基板 10 では、データ線 6 a の真下位置に、各画素電極 9 a をスイッチング制御する画素スイッチング用の TFT 30 が形成されている。この TFT 30 は、LDD (Lightly Doped Drain) 構造を有しており、走査線 3 a (ゲート電極)、走査線 3 a から供給される走査信号の電界によりチャネルが形成される半導体膜 1 a のチャネル領域 1 a'、走査線 3 a と半導体膜 1 a とを絶縁する 2 層構造のゲート絶縁膜 2、データ線 6 a (ソース電極)、半導体膜 1 a の低濃度ソース領域 (ソース側 LDD 領域) 1 b 並びに低濃度ドレイン領域 (ドレイン側 LDD 領域) 1 c、および半導体膜 1 a の高濃度ソース領域 1 d 並びに高濃度ドレイン領域 1 e を

備えている。高濃度ドレイン領域 1 e には、複数の画素電極 9 a のうちの対応する 1 つが電氣的に接続されている。

ソース領域 1 b 並びに 1 d、およびドレイン領域 1 c 並びに 1 e は、後述のように、半導体膜 1 a において n 型のチャネルを形成するか、あるいは p 型のチャネルを形成するかに応じて所定濃度の n 型用または p 型用のドーパントがドーピングされることにより形成されている。n 型チャネルの TFT は、動作速度が速いという利点があり、画素スイッチング用の TFT として用いられることが多い。

ここで、TFT 30 は、好ましくは上述のように LDD 構造をもつが、低濃度ソース領域 1 b および低濃度ドレイン領域 1 c に相当する領域に不純物イオンの打ち込みを行わないオフセット構造を有していてもよい。また、TFT 30 は、ゲート電極 3 a をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソースおよびドレイン領域を形成したセルフアライン型の TFT であってもよい。なお、本実施例では、TFT 30 のゲート電極（データ線 3 a）をソースドレイン領域 1 b および 1 e 間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート（ダブルゲート）或いはトリプルゲート以上で TFT を構成すれば、チャネルとソースドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することが出来る。これらのゲート電極の少なくとも 1 個を LDD 構造或いはオフセット構造にすれば、さらにオフ電流を低減でき、安定したスイッチング素子を得ることが出来る。

本実施例において、データ線 6 a（ソース電極）は、アルミニウム等の金属膜や金属シリサイド等の合金膜等から構成されている。

また、走査線 3 a（ゲート電極）およびゲート絶縁膜 2 の上層側には、高濃度ソース領域 1 d へ通じるコンタクトホール 5、および高濃度ドレイン領域 1 e へ通じるコンタクトホール 8 1 が各々形成された第 1 層間絶縁膜 4 が形成されている。第 1 層間絶縁膜 4 の上には第 2 層間絶縁膜 7 a が形成され、この第 2 層間絶縁膜 7 a の上には第 3 層間絶縁膜 7 b が形成されている。

データ線 6 a は、第 2 層間絶縁膜 7 a の上に形成され、ソース領域 1 d へのコンタクトホール 5 を介して、データ線 6 a (ソース電極) は高濃度ソース領域 1 d に電氣的に接続されている。

画素電極 9 a は第 3 層間絶縁膜 7 b の上に形成されている。そこで、本実施例では、画素電極 9 a を TFT 30 の高濃度ドレイン領域 1 e に電氣的に接続するにあたって、第 1 層間絶縁膜 4 の表面にドレイン電極 11 を形成して、このドレイン電極 11 を第 1 層間絶縁膜 4 のコンタクトホール 8 1 を介して TFT 30 の高濃度ドレイン領域 1 e に電氣的に接続するとともに、第 2 層間絶縁膜 7 a および第 3 層間絶縁膜 7 b にコンタクトホール 8 2 を形成し、このコンタクトホール 8 2 を介して画素電極 9 a をドレイン電極 11 に電氣的に接続している。従って、画素電極 9 a は、ドレイン電極 11 を介して TFT 30 の高濃度ドレイン領域 1 e に電氣的に接続している。

本実施例において、ドレイン電極 11 は、高濃度ドレイン領域 1 e の上層側からチャネル領域 1 a を上層側で完全に覆うように形成されたドーフトシリコン膜 (ポリシリコン中継電極) などといった遮光性の導電膜からなり (図 2 参照)、このドレイン電極 11 の形成領域は、図 7 に右上がりの斜線領域で示してあるように、各画素電極 9 a の縦横の境界領域において、データ線 6 a と走査線 3 a の交点からデータ線 6 a と走査線 3 a に沿って十字形状に各画素毎に形成されている。

再び、図 6 において、本実施例では、ドレイン電極 11 の表面側には、薄い絶縁膜 12 が形成され、この薄い絶縁膜 12 と第 2 層間絶縁膜 7 a との間には、TFT 30 のチャネル領域 1 a' を覆うように第 1 の遮光膜 13 が形成されている。本実施例において、第 1 の遮光膜 13 は、チタン、クロム、タンゲステン、タンタル、モリブデン、パラジウム、アルミニウム、これらの金属の合金、これらの金属のシリサイド膜、またはドーフトシリコンなどの遮光性を有する導電膜から構成されている。この第 1 の遮光膜 13 の形成領域は、図 8 に右下がりの斜線領域で示してあり、第 1 の遮光膜 13 は、各画素電極 9 a の縦横の境界領域に沿って格子状に形成され、各画素間で共通の電位に保持される。

ここで、第1の遮光膜13の下層側にはドレイン電極11が形成されており、これらの第1の遮光膜13とドレイン電極11は薄い絶縁膜12を介して広い領域にわたって対向している。そこで、本実施例では、この薄い絶縁膜12を誘電膜として、第1の遮光膜13とドレイン電極11を電極とする蓄積容量70が構成されている。

また、本実施例では、図6に示すように、TFTアレ基板10では、その基体の表面には、TFT30のチャネル領域1a'を下層側から覆うように第2の遮光膜14が形成され、この第2遮光膜14の表面には下地絶縁膜15が形成されている。この第2の遮光膜14の形成領域は、図9に右下がりの斜線領域で示してある。

さらに、本実施例では、TFT30のチャネル領域1a'を側方で囲むように、薄い絶縁膜12および第1層間絶縁膜4を貫通する側壁形成用溝16が形成されている。側壁形成用溝16は、図8に示すように、第1の遮光膜13の形成領域の内側においてその外周縁に沿って形成され、側壁形成用溝16の形成領域については、図8において、第1の遮光膜13の形成領域の内側のうち、第1の遮光膜13に付した斜線よりもさらにピッチの狭い右下がりの斜線を付した領域に形成されている。

本実施例において、側壁形成用溝16は、ゲート絶縁膜2および下地絶縁膜15を貫通する接続溝161に連通している。この接続溝161は、走査線3a（ゲート電極）と同時形成された遮光性の導電膜162で埋められ、側壁形成用溝16は、第1の遮光膜13と同時形成された遮光性の導電膜からなる遮光用側壁131で埋められている。

従って、TFT30のチャネル領域1a'は、その上方が走査線3a、ドレイン電極11、第1の遮光膜13およびデータ線6aで遮光され、下方が第2の遮光膜14で遮光され、側方は、側壁形成用溝16内の遮光用側壁131と接続溝161内の導電膜162で遮光されている。

再び図6において、一方、対向基板20には、その全面に渡って対向電極（共通電極）21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜（図示せず。）が形成されている。対向電極21

も、例えば、ITO膜などの透明導電性薄膜からなる。また、対向基板20の配向膜も、ポリイミド薄膜などの有機薄膜からなる。対向基板20には、各画素の開口領域以外の領域に対向基板側遮光膜23がマトリクス状に形成される場合がある。

- 5 このため、対向基板20の側からの入射光L1はTFT30の半導体膜1aのチャネル領域1a'やLDD領域1b、1cに届くことはない。さらに、対向基板側遮光膜23は、コントラストの向上、色材の混色防止などの機能を有する。

- 10 このように構成したTFTアレ基板10と対向基板20とは、画素電極9aと対向電極21とが対面するように配置され、かつ、これらの基板間には、後述するのシール材により囲まれた空間内に電気光学物質としての液晶50が封入され、挟持される。液晶50は、画素電極9aからの電界が印加されていない状態で配向膜により所定の配向状態をとる。液晶50は、例えば一種または数種のネマティック電気光学物質を混合したものなどからなる
- 15 。なお、シール材は、TFTアレ基板10と対向基板20とをそれらの周辺で貼り合わせるための光硬化樹脂や熱硬化性樹脂などからなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー或いはガラスビーズ等のスペーサがギャップ材が配合されている。

- 20 以上図1から図9を参照して説明したように、本実施例では、TFT30のチャネル領域1a'およびLDD領域1b、1cの上層側には、走査線3a、ドレイン電極11、第1の遮光膜13およびデータ線6aが形成されているので、対向基板20の側から入射した強い光がそのまま、チャネル領域1aに入射することがない。また、TFT30のチャネル領域1a'およびLDD領域1b、1cの下層側には、第2の遮光膜14で遮光されているの
- 25 で、TFTアレ基板10での反射光、あるいはその外部に配置された光学部品からの反射光などがTFTアレ基板10の裏面側から入射しても、このような光はチャネル領域1aに入射することがない。

さらに、本実施例では、対向基板20の側から入射した強い光がチャネル領域1aおよびLDD領域1b、1cに斜め方向あるいは横方向から入射し

ようとしても、TFT30のチャネル領域1a'およびLDD領域1b、1cの側方は、側壁形成用溝16内の遮光用側壁131と接続溝161内の導電膜162で遮光されているので、このような光もチャネル領域1aに入射することがない。

- 5 従って、本実施例の電気光学装置100は、後述する投射型表示装置のように、強い光が対向基板20の側から入射するような場合でも、光がTFT30のチャネル領域1a'に入射することに起因するTFT30の誤動作や信頼性の低下を完全に防止することができる。

- また、本実施例においては、各画素毎で画素電極9aに電氣的に接続する
10 ドレイン電極11と、各画素間で共通の第1の遮光膜13とは、薄い絶縁膜12を介して広い面積で対向している。しかも、第1の遮光膜13と第2の遮光膜14は、側壁形成用溝16内の遮光用側壁131と接続溝161内の導電膜162を介して電氣的に接続しているので、第2の遮光膜14の電位を固定すれば、第1の遮光膜13の電位を固定することができる。従って、
15 本実施例では、ドレイン電極11と第1の遮光膜13とを容量電極とし、かつ、薄い絶縁膜12を誘電膜として利用することにより、蓄積容量70を構成している。それ故、各画素に対して専用の容量線を通す必要がないので、画素開口率を向上することができる。

(電気光学装置の製造方法)

- 20 次に、以上の如き構成を持つ第1実施例の電気光学装置100の製造方法について図10から図16を参照して説明する。

先ずTFTアレイ基板10の製造方法について説明する。

- 図10ないし図16は、いずれも本実施例のTFTアレイ基板10の製造方法を示す工程断面図である。なお、図10ないし図16には、図2のA-A'線に相当する位置での断面、B-B'線に相当する位置での断面、およびC-C'線に相当する位置での断面を示してある。
25

まず、図10(A)に示すように、石英基板、ハードガラス等のTFTアレイ基板10を用意する。TFTアレイ基板10については、N₂(窒素)等の不活性ガス雰囲気且つ約900℃～約1300℃の高温でアニール処理

し、後に実施される高温プロセスにおいて歪みが少なくなるように前処理しておくことが好ましい。即ち、製造プロセスにおける最高温度に合わせて予めTFTアレ基板10を同じ温度かそれ以上で熱処理しておく。

次に、第2の遮光膜14を形成すべきタングステンシリサイド膜140を、例えば200nmの膜厚に形成した後、このタングステンシリサイド膜140を、図10(B)に示すようにパターニングして、第2の遮光膜14を形成する。

次に、TFTアレ基板10の上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フオスレート)ガス等を用いて、NSG(ノンシリケートガラス)、PSG(リンシリケートガラス)、BSG(ボロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜15を形成する。この下地絶縁膜15の層厚は、例えば、約500nm~約2000nmとする。

次に、図10(C)に示すように、下地絶縁膜15の上に、約450℃~約550℃、好ましくは約500℃の比較的低温環境中で、流量約400cc/min~約600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20~40PaのCVD)により、アモルファスシリコン膜1a''を形成する。その後、窒素雰囲気中で、約600℃~約700℃にて約1時間~約10時間、好ましくは、約4時間~約6時間のアニール処理を施することにより、ポリシリコン膜1を約50nm~約200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させる。

この際、画素スイッチング用のTFT30をPチャネル型とする場合には、当チャネル形成用領域にSb(アンチモン)、As(砒素)、P(リン)などのV族元素のドーパントを僅かにイオン注入等によりドーピングしてもよい。また、画素スイッチング用TFT30をNチャネル型とする場合には、B(ボロン)、Ga(ガリウム)、In(インジウム)などのIII族元素のドーパ

ンドを僅かにイオン注入等によりドーブしても良い。なお、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。あるいは、減圧CVD法等により堆積したポリシリコン層にシリコンイオンを打ち込んで一旦非晶質化（アモルファス化）し、その後アニール処理等により再結晶化させてポリシリコン膜1を形成しても良い。

次に、図10（D）に示すように、フォトリソグラフィ工程、エッチング工程等により、図2および図5に示したパターンの半導体膜1aを形成する。

次に、図11（A）に示すように、TFT30を構成する半導体膜1aを約900℃～約1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約30nmの比較的薄い熱酸化シリコン膜201を形成し、さらに減圧CVD法等により高温酸化シリコン膜202（HTO膜）や窒化シリコン膜を約50nmの比較的薄い厚さに堆積し、多層構造を持つゲート絶縁膜2を形成する。但し、熱酸化のみで単一層構造を持つゲート絶縁膜2を形成してもよい。尚、ゲート絶縁膜2を形成した後に、上記のイオン注入工程を行ってもよい。

次に、図11（B）に示すように、ゲート絶縁膜2および下地絶縁膜15に対して、第2の遮光膜14に至る接続溝161を形成する。

次に、図11（C）に示すように、減圧CVD法等によりポリシリコン層3を堆積した後、リン（P）を熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドーブトシリコン膜を用いても良い。

次に、図11（D）に示すように、レジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、図2および図4に示したパターンの走査線3a（ゲート電極）を形成する。この走査線3aの層厚は、例えば、約350nmである。また、接続溝161は、走査線3aと同一材料の導電膜162で埋まる。

次に、図12（A）に示すように、図6に示したTFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体膜1aに、まず低濃度ソー

ス領域 1 b および低濃度ドレイン領域 1 c を形成するために、走査線 3 a (ゲート電極) を拡散マスクとして、P などの V 族元素のドーパント 200 を低濃度で (例えば、P イオンを $1 \times 10^{11} / \text{cm}^2 \sim 3 \times 10^{11} / \text{cm}^2$ のドー
5 1 a は、チャネル形成用領域 1 a' となる。この不純物のドーブにより走査線 3 a も低抵抗化される。

続いて、図 12 (B) に示すように、TFT 30 の高濃度ソース領域 1 d および高濃度ドレイン領域 1 e を形成するために、走査線 3 a (ゲート電極) よりも幅の広いマスクでレジストマスク 203 を走査線 3 a (ゲート電極)
10) 上に形成した後、同じく P などの V 族元素のドーパント 201 を高濃度で (例えば、P イオンを $1 \sim 3 \times 10^{11} / \text{cm}^2$ のドーパ量にて) ドープする。また、上記の n チャネル型の TFT は低濃度の不純物を注入しないでオフセット構造としてもよい。

なお、TFT 30 を p チャネル型とする場合、半導体膜 1 a に、低濃度ソ
15 ース領域 1 b および低濃度ドレイン領域 1 c 並びに高濃度ソース領域 1 d および高濃度ドレイン領域 1 e を形成するために、B などの III 族元素のドーパントを用いてドーブする。なお、低濃度のドーブを行わずに、オフセット構造の TFT としても良く、走査線 3 a (ゲート電極) をマスクとして、P イオン、B イオン等を用いたイオン注入技術によりセルフアライン型の TFT
20 T としても良い。この不純物のドーブにより走査線 3 a はさらに低抵抗化する。

これらの工程と同時並行して、n チャネル型 TFT および p チャネル型 TFT から構成される相補型構造を持つデータ線駆動回路および走査線駆動回路等の周辺回路を TFT アレイ基板 10 上の周辺部に形成する。このように
25 、本実施例において画素スイッチング用 TFT 30 はポリシリコン TFT であるので、画素スイッチング用 TFT 30 の形成時にほぼ同一工程で、データ線駆動回路および走査線駆動回路等の周辺回路を形成することができ、製造上有利である。

次に、図 12 (C) に示すように、TFT 30 における走査線 3 a (ゲ

ト電極)を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜4を形成する。第1層間絶縁膜4の層厚は、約500nm～約1500nmが好ましい。

- 5 次に、図12(D)に示すように、TFT30の高濃度ドレイン領域1eとドレイン電極11とを接続するためのコンタクトホール81を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより、あるいはウェットエッチングにより形成する。

- 10 次に、図13(A)に示すように、減圧CVD法等により第1層間絶縁膜4の表面にドレイン電極11を形成するためのポリシリコン層110を堆積した後、リン(P)を熱拡散し、ポリシリコン膜110を導電化する。又は、Pイオンをポリシリコン膜110の成膜と同時に導入したドーフトシリコン膜を用いても良い。

- 15 次に、図13(B)に示すように、レジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、図2および図7に示したパターンのドレイン電極11を形成する。

次に、図13(C)に示すように、ドレイン電極11の表面に薄い絶縁膜12を形成する。

- 20 次に、図13(D)に示すように、絶縁膜12および第1層間絶縁膜4に対して、第1の遮光膜13を用いた遮光用側壁131を形成するための側壁形成用溝16を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより接続溝161と連通するように形成し、この接続溝161も含めて一体の側壁形成用溝16を形成する。

- 25 次に、図14(A)に示すように、絶縁膜12の表面に第1の遮光膜13を形成するためのタングステンシリサイド膜130を、例えば200nmの膜厚に形成した後、タングステンシリサイド膜130を、図14(B)に示すようにパターンニングして、第1の遮光膜13を形成する。また、側壁形成用溝16内には第1の遮光膜13と同時形成され、この側壁形成用溝16内において、遮光用側壁131は底部の導電膜162と電気的に接続する。

次に、図14(C)に示すように、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜7aを形成する。第2層間絶縁膜7aの層厚は、約500nm～約1500nmが好ましい。

次に、図15(A)に示すように、データ線3a(ソース電極)に対するコンタクトホール5を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより、あるいはウエットエッチングにより形成する。

次に、図15(B)に示すように、第2層間絶縁膜7aの上に、スパッタ処理等により、Al等の低抵抗金属や金属シリサイド等の金属膜6を約100nm～約500nmの厚さ、好ましくは約300nmに堆積する。

次に、図15(C)に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線6a(ソース電極)を形成する。

次に、図16(A)に示すように、データ線6a(ソース電極)上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜7bを形成する。第3層間絶縁膜7bの層厚は、約500nm～約1500nmが好ましい。

次に、図16(B)に示すように、画素電極9aとドレイン電極11とを電氣的接続するためのコンタクトホール82を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。

次に、図16(C)に示すように、第3層間絶縁膜7bの上に、スパッタ処理等により、ITO膜等の透明導電性薄膜9を、約50nm～約200nmの厚さに堆積する。

次に、フォトリソグラフィ工程、エッチング工程等により透明導電性薄膜9をパターニングして、図6に示すように、画素電極9aを形成する。続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等に

より、配向膜が形成される。

以上により、電気光学装置 100 のうち T F T アレイ基板 10 側の構成が完成する。

他方、図 6 に示した対向基板 20 については、ガラス基板等が先ず用意され、対向基板側遮光膜 23、および表示領域と非表示領域とを区切るための額縁としての遮光膜 53（図 24 及び図 25 を参照。）が例えば金属クロムをスパッタした後、フォトリソグラフィ工程、エッチング工程を経て形成される。なお、対向基板側遮光膜 23 および表示画面の額縁としての遮光膜 53 は、Cr、Ni、Al などの金属材料の他、カーボンや Ti をフォトレジストに分散した樹脂ブラックなどの材料から形成することもある。

次に、対向基板 20 の全面にスパッタ処理等により、ITO 等の透明導電性薄膜を、約 50 nm ～ 約 200 nm の厚さに堆積することにより、対向電極 21 を形成する。更に、対向電極 21 の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜が形成される。

以上により、電気光学装置 100 のうち対向基板 20 側の構成が完成する。

このようにして製造した T F T アレイ基板 10 と対向基板 20 とは、図 6 からわかるように、配向膜が対面するようにシール材（図示せず。）により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック電気光学物質を混合してなる電気光学物質が吸引されて、所定層厚の液晶 50 の層が形成される。

以上により、図 1 から図 9 を参照して説明した第 1 実施例の電気光学装置 100 が完成する。

25 （第 2 実施例）

次に、本発明の第 2 実施例の電気光学装置について図 17 を参照して説明する。図 17 は、第 2 実施例の電気光学装置 100' における断面図である。

第 2 実施例の電気光学装置 100' は、上述の第 1 実施例の電気光学装置

100の製造方法において、図11(B)を参照して説明した接続溝161の形成工程を省略するとともに、図13(D)を参照して説明した側壁形成用溝16の形成工程において、図17に示すように、この側壁形成用溝16を第2の遮光膜14に届くように形成することにより製造する。その他の製造工程については、第1実施例の場合と、同様である。

図17に示すように、このように製造すると、第1の遮光膜13を形成したとき、第1の遮光膜13と同一材料からなる遮光用側壁131によって側壁形成用溝16が埋められ、この側壁形成用溝16の底部において、遮光用側壁131は、第2の遮光膜14に直接、接することになる。従って、第2実施例の電気光学装置100'は、図6に示した第1実施例の電気光学装置100におけるTFTアレイ基板10の別の構成例であり、その他の構成は、図6を参照して説明した通りであるので、対応する部分には同一の符号を付してそれらの説明を省略する。

(第3実施例)

次に本発明の第3実施例における電気光学装置の画素部における構成について、図1及び図18から図20を参照して説明する。図18は、第3実施例におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。図19は、図18のD-D'断面図であり、図20は、TFTアレイ基板10上に形成された積層体部分に係る図18のE-E'断面図である。尚、図19及び図20においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また、第3実施例に係る図18から図20では、図1から図9に示した第1実施例と同様の構成要素には同様の参照符号を付し、その説明は適宜省略する。

第3実施例の電気光学装置は、図1に示した第1実施例の電気光学装置と同様の基本的な回路構成を有する。但し、第1実施例では、第2の遮光膜14が蓄積容量70の固定電位側容量電極を固定電位に落とす容量線としての機能を有しているが、本第3実施例では、走査線3aの上側に重ねて且つ走査線3aに沿って容量線が設けられている。

即ち、図18及び図19に示すように、第3実施例では固定電位側容量電極を

含む容量線 300 が設けられている。より具体的には、容量線 300 は平面的に見て、走査線 3a に沿ってストライプ状に伸びており、TFT 30 に重なる個所が図 18 中上下に突出している。これにより、走査線 3a 上の領域及びデータ線 6a 下の領域を利用して蓄積容量 70 の形成領域を増大している。

- 5 図 18 から図 20 に示すように、第 3 実施例では、蓄積容量 70 は、TFT 30 の高濃度ドレイン領域 1e 及び画素電極 9a に接続された画素電位側容量電極としての中継層 71 と、固定電位側容量電極としての容量線 300 の一部とが、誘電体膜 75 を介して対向配置されることにより形成されている。

- 10 容量線 300 は、例えば金属又は合金を含む導電膜からなり固定電位側容量電極としても機能する。容量線 300 は、例えば、Ti、Cr、W、Ta、Mo、Pb 等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。但し、容量線 300 は、例えば導電性のポリシリコン膜等からなる第 1 膜と高融点金属を含む金属シリサイド膜等からなる第 2 膜とが積層された多層構造を持ってもよい。
- 15

- 中継層 71 は、例えば導電性のポリシリコン膜からなり画素電位側容量電極として機能する。中継層 71 は、画素電位側容量電極としての機能の他、画素電極 9a と TFT 30 の高濃度ドレイン領域 1e とを中継接続する機能を持つ。但し、中継層 71 も、容量線 300 と同様に、金属又は合金を含む単一層膜若しくは多層膜から構成してもよい。
- 20

- 図 18 から図 20 に示すように、図 18 中で右下がりの粗い斜線領域で示した格子状の領域には、TFT アレイ基板 10 に溝 10cv が掘られており、更に、この溝 10cv 内には、下側遮光膜 400 が格子状に設けられている。下側遮光膜 400 は、容量線 300 と同様に、例えば、Ti、Cr、W、Ta、Mo、Pb 等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。
- 25

図 18 中右下がりの粗い斜線領域で示した格子状の領域には、上側遮光膜 401 が下側遮光膜 400 と同じく、例えば、Ti、Cr、W、Ta、Mo

、Pb等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等から形成されている。更に、幅狭の堀が、上側遮光膜401の輪郭に沿って且つ上側遮光膜401から第4層間絶縁膜44、第3層間絶縁膜43、誘電体膜75、第2層間絶縁膜42、第1層間絶縁膜41及び下地絶縁膜40を貫いて下側遮光膜400に至る掘りを埋める形で、側壁遮光膜402が形成されている。側壁遮光膜402は、例えば、Ti、Cr、W、Ta、Mo、Pb等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド等から形成されている。但し、これらの下側遮光膜400、上側遮光膜401及び側壁遮光膜402は、同一の遮光膜から形成されてもよいが、相異なる遮光膜から形成されてもよい。

特に図19及び図20に示すように、第3実施例では、TFT30、走査線3a、データ線6a、容量線300、蓄積容量70等の画像表示領域におけるTFTアレイ基板10上に形成された配線や素子は、下側遮光膜400、上側遮光膜401及び側壁遮光膜402により立体的に遮光されている。更に、図19に示すように、画素電極9aと中継層71とを接続するコンタクトホール85には、導電性の遮光膜403が配置されており、下側遮光膜400、上側遮光膜401及び側壁遮光膜402によって規定される空間内に、コンタクトホール85の付近から光が進入しないように遮光を行う。

図19及び図20において、容量電極としての中継層71と容量線300との間に配置される誘電体膜75は、例えば膜厚5～200nm程度の比較的薄いHTO (High Temperature Oxide) 膜、LTO (Low Temperature Oxide) 膜等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。蓄積容量70を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜75は薄い程良い。

容量線300は、画素電極9aが配置された画像表示領域からその周囲に延設され、定電位源と電氣的に接続されて、固定電位とされる。係る定電位源としては、TFT30を駆動するための走査信号を走査線3aに供給するための後述の走査線駆動回路や画像信号をデータ線6aに供給するサンプリ

ング回路を制御する後述のデータ線駆動回路に供給される正電源や負電源の定電位源でもよいし、対向基板20の対向電極21に供給される定電位でも構わない。

5 更に、下側遮光膜400、上側遮光膜401及び側壁遮光膜402についても、その電位変動がTFT30に対して悪影響を及ぼすことを避けるために、容量線300と同様に、画像表示領域からその周囲に延設して定電位源に接続するとよい。

10 画素電極9aは、中継層71を中継することにより、コンタクトホール83及び85を介して半導体層1aのうち高濃度ドレイン領域1eに電気的に接続されている。即ち、本実施例では、中継層71は、蓄積容量70の画素電位側容量電極としての機能に加えて、画素電極9aをTFT30へ中継接続する機能を果たす。このように中継層71を利用すれば、層間距離が例えば2000nm程度に長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ比較的小径の二つ以上の直列なコンタクトホールで両者間を良好に接続でき、
15 画素開口率を高めること可能となり、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。

同様の視点から、データ線6aは、中継層71と同一導電膜から形成されている中継層72を中継することにより、コンタクトホール181及び182を介して半導体層1aのうち高濃度ソース領域1dに接続されている。

20 図19に示すように、TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜19が設けられている。画素電極9aは例えば、ITO (Indium Tin Oxide) 膜などの透明導電性膜からなる。また配向膜19は例えば、ポリイミド膜などの有機膜からなる。

25 他方、対向基板20には、その全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性膜からなる。また配向膜22は、ポリイミド膜などの有機膜からなる。

更に、画素スイッチング用TFT30の下には、下地絶縁膜40が設けら

れている。下地絶縁膜40は、下側遮光膜400からTFT30を層間絶縁する機能の他、TFTアレイ基板10の全面に形成されることにより、TFTアレイ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。

- 5 走査線3a上には、高濃度ソース領域1dへ通じるコンタクトホール182及び高濃度ドレイン領域1eへ通じるコンタクトホール83が各々開孔された第1層間絶縁膜41が形成されている。

- 第1層間絶縁膜41上には中継層71、中継層72及び容量線300が形成されており、これらの上には、中継層72及び中継層71へ夫々通じるコンタクトホール181及びコンタクトホール85が各々開孔された第2層間絶縁膜42が形成されている。

- 第2層間絶縁膜42上にはデータ線6aが形成されており、これらの上には、中継層71へ通じるコンタクトホール85が形成された第3層間絶縁膜43が形成されている。第3層間絶縁膜43上には、上側遮光膜401が形成されている。上側遮光膜401上にコンタクトホール85が形成された第4層間絶縁膜44が形成されており、画素電極9aは、このように構成された第4層間絶縁膜44の上面に設けられている。

- 以上説明したように第3実施例では、TFT30、走査線3a、データ線6a、容量線300、蓄積容量70等の画像表示領域におけるTFTアレイ基板10上に形成された配線や素子は、下側遮光膜400、上側遮光膜401及び側壁遮光膜402により立体的に遮光されている。このため、基板面に対して上方から垂直に或いは斜めに進行する入射光及び基板面に対して下方から垂直に或いは斜めに入射する戻り光、並びにこれらに基づく内面反射光及び多重反射光などが、TFT30のチャネル領域1a'、低濃度ソース領域1b及び低濃度ドレイン領域1cに入射するのを、下側遮光膜400、上側遮光膜401及び側壁遮光膜402により阻止できる。加えて、図18に示したように、これらの遮光膜により、各画素の非開口領域を精度よく格子状に規定できる。

更に、第3実施例では、コンタクトホール85には、遮光膜403が形成

されているので、外部からの光漏れが生じ易いコンタクトホール 85 における光漏れを確実に阻止できる。加えて、コンタクトホール 85 は、図 18 に示したように、横方向に相隣接する T F T 30 の中央に位置するので、コンタクトホール 85 を介して若干の光漏れが生じたとしても、当該光漏れの箇所は、各 T F T 30 から比較的離間しているため、漏れた光が T F T 30 にまで到達することは殆ど無くて済む。

これらの結果、第 3 実施例によれば、耐光性を高めることが可能となり、強力な入射光や戻り光が入射するような過酷な条件下にあっても光リーク電流の低減された T F T 30 により画素電極 9a を良好にスイッチング制御でき、最終的には明るく高コントラストの画像を表示可能となる。

特に第 3 実施例によれば、基板 10 に掘られた溝 10cv の底面に下側遮光膜 400 が形成されており、この溝 10cv 内に収容された T F T 30 等の上側に上側遮光膜 401 が配置されている。そして、T F T 30 等の外側には、上側遮光膜 401 から第 1 遮光膜 400 まで至る堀内に側壁遮光膜 402 が充填されている。

従って、上述した第 1 実施例の製造方法と同様なエッチング処理、成膜処理等の比較的単純な製造プロセス及び構成を採用しつつ、確実に T F T 30 等を立体的に遮光できる。尚、第 3 実施例では、上述した第 1 又は第 2 実施例の場合と同様に、上側遮光膜 401 と側壁遮光膜 402 とは一体形成されてもよい。例えば、堀を掘った後にその上に上側遮光膜 401 でこれを埋めるように積層すればよい。

また、第 3 実施例では、対向基板 20 においてコンタクトホール 85 に対向する位置に遮光層を設けてもよい。このような構成にすれば、コンタクトホール 85 付近からの光の進入をより低減できる。

更には、第 3 実施例の画素スイッチ用の T F T 30 を構成する半導体層 1a は非単結晶層でも単結晶層でも構わない。単結晶層の形成には貼り合わせ法などの公知の方法などを用いることができる。半導体層 1a を単結晶層とすることで、特に周辺回路の高性能化を図ることができる。

(第 4 実施例)

次に、本発明の第4実施例の電気光学装置について図21を参照して説明する。
ここに、図21は、第4実施例の電気光学装置における図18のE-E'断面に
対応する個所の断面図である。

図21に示すように、第4実施例では、TFTアレイ基板10に掘られた溝1
5 0cv'の深さがより深く、下側遮光膜400'が溝10cv'の底部及びテー
パの付けられた側壁に沿って形成され且つ上側遮光膜401'がこの大きな溝1
0cv'に蓋をするように形成されている点、及び側壁遮光膜がない点が第3実
施例と異なり、その他の構成については第3実施例と概ね同様である。

従って、第4実施例によれば、比較的単純な構成及び製造プロセスを採用
10 しつつ、確実にTFT30及び各種配線を立体的に遮光できる。

更に、溝10cv'の深さを調節することにより、TFT30や各種配線
が形成された平面領域における画素電極9aの下地、即ち第4層間絶縁膜4
4'の表面の平坦化を図ることも可能となる。これにより、表面の段差に起
因した液晶の配向不良を低減できる。

15 (第5実施例)

次に、本発明の第5実施例の電気光学装置について図22を参照して説明する。
ここに、図22は、第5実施例の電気光学装置における図18のE-E'断面に
対応する個所の断面図である。

図22に示すように、第5実施例では、TFTアレイ基板10に溝が掘られて
20 いない点、及びその分だけ深く掘られた堀内に側壁遮光膜402''が形成され
ている点が第3実施例と異なる。更に、この溝がないのに応じて、下側遮光膜4
00''が平坦であり、下地絶縁膜40''から上側遮光膜401''に至るに
連れてデータ線6aの存在に応じて盛り上がり最終的に第4層間絶縁膜44''
の表面がデータ線6aに沿って凸状に盛り上がっている点が第3実施例と異なり、
25 その他の構成については第3実施例と概ね同様である。尚、図22には示されな
いが、この場合、第4層間絶縁膜44''は、走査線3aに沿っても土手状に盛
り上がっている。

従って、第5実施例によれば、比較的単純な構成及び製造プロセスを採用
しつつ、確実にTFT30及び各種配線を立体的に遮光できる。

(第6実施例)

次に、本発明の第6実施例の電気光学装置について図23を参照して説明する。ここに、図23は、走査線反転駆動方式で駆動した場合の各画素電極における駆動電圧の極性と横電界の発生領域との関係を示した複数の画素電極の図式的平面

5 図である。

まず、図23(a)に示すように、 n (但し、 n は自然数) 番目のフィールド或いはフレームの画像信号を表示する期間中には、画素電極9a毎に+又は-で示す液晶駆動電圧の極性は反転されず、行毎に同一極性で画素電極9aが駆動される。その後図23(b)に示すように、 $n+1$ 番目のフィールド或いは1フレームの画像信号を表示するに際し、各画素電極9aにおける液晶駆動電圧の電圧極性は反転され、この $n+1$ 番目のフィールド或いは1フレームの画像信号を表示する期間中には、画素電極9a毎に+又は-で示す液晶駆動電圧の極性は反転されず、行毎に同一極性で画素電極9aが駆動される。そして、図23(a)及び図23(b)に示した状態が、1フィールド又は1フレームの周期で繰り返されて、本実施例における走査線反転駆動方式による駆動が行われる。この結果、本実施例によれば、直流電圧印加による液晶の劣化を避けつつ、クロストークやフリッカの低減された画像表示を行える。尚、走査線反転駆動方式によれば、データ線反転駆動方式と比べて、縦方向のクロストークが殆ど無い点で有利であり、ドット反転駆動方式と比べて、横電界が発生する領域が根本的に少ない点で有利である。

図23(a)及び図23(b)から分かるように、走査線反転駆動方式では、横電界の発生領域C1は常時、縦方向(Y方向)に相隣接する画素電極9a間の間隙付近となる。

そこで、第6実施例では、走査線3aに沿った各画素間の間隙領域たる横電界の発生領域C1においては、第5実施例の如くTFTアレイ基板10に溝を掘らない構成を採り、これに応じて、走査線3aに沿って画素電極9aの下地に凸部を形成する。他方、データ線6aに沿った各画素間の間隙領域たる横電界の発生しない領域においては、第4実施例の如くTFTアレイ基板10に溝を深く掘る構成を採り、これに応じてデータ線6aに沿って画素

電極 9 a の下地を平坦化する。

従って第 6 実施例によれば、走査線反転駆動方式の採用により、直流電圧印加による電気光学物質の劣化防止でき、更に表示画像におけるクロストークやフリッカを防止できると同時に、横電界の発生領域 C 1 で画素電極 9 a
5 の下地を凸状に盛り上げることで縦電界を強めることにより、横電界を相対的に弱めることができる。即ち、横電界による液晶の配向不良を低減できる。

しかも、横電界が発生しない間隙領域では、深い溝の形成で画素電極 9 a の下地を平坦化することにより、画素電極 9 a の下地の段差に基づく液晶の
10 配向不良を低減できる。

これらの結果、液晶等の電気光学物質における横電界による動作不良を確実に低減でき、高コントラストで明るい高品位の画像表示を行える。

尚、走査線反転駆動方式に代えてデータ線反転駆動方式を採用する場合には、データ線 6 a に沿った各画素間の間隙領域たる横電界の発生領域において縦電界を強めるように、データ線 6 a に沿った領域で画素電極の下地を凸
15 状に盛り上げ、走査線 3 a に沿った領域で画素電極 9 a の下地を平坦化すればよい。他方、ドット反転駆動方式を採用する場合には、走査線 3 a 及びデータ線 6 a に夫々沿った各画素間の間隙領域たる横電界の発生領域において縦電界を強めるように、走査線 3 a 及びデータ線 6 a に夫々沿った領域で画
20 素電極の下地を凸状に盛り上げればよい。

更に本発明における走査線反転駆動方式では駆動電圧の極性を、一行毎に反転させてもよいし、相隣接する 2 行毎に或いは複数行毎に反転させてもよい。同様に本発明におけるデータ線反転駆動方式では駆動電圧の極性を、一
列毎に反転させてもよいし、相隣接する 2 列毎に或いは複数列毎に反転させてもよく、ドット反転駆動方式の場合にも、複数の画素電極からなるブロッ
25 ク毎に駆動電圧の極性を反転させてもよい。

(電気光学装置の全体構成)

以上のように構成された電気光学装置の各実施例の全体構成を図 2 4 および図 2 5 を参照して説明する。なお、図 2 4 は、電気光学装置 1 0 0 をその

上に形成された各構成要素と共に対向基板 20 の側から見た平面図であり、図 25 は、対向基板 20 を含めて示す図 24 の H-H' 断面図である。

図 24 において、TFT アレイ基板 10 の上には、シール材 52 がその縁に沿って設けられており、その内側領域には、遮光性材料からなる額縁としての遮光膜 53 が形成されている。シール材 52 の外側の領域には、データ線駆動回路 101 および実装端子 102 が TFT アレイ基板 10 の一辺に沿って設けられており、走査線駆動回路 104 が、この一辺に隣接する 2 辺に沿って形成されている。走査線に供給される走査信号の遅延が問題にならないのならば、走査線駆動回路 104 は片側だけでも良いことは言うまでもない。また、データ線駆動回路 101 を画像表示領域の辺に沿って両側に配列しても良い。例えば奇数列のデータ線は画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしても良い。この様にデータ線を歯状に駆動するようにすれば、データ線駆動回路 101 の形成面積を拡張することが出来るため、複雑な回路を構成することが可能となる。更に TFT アレイ基板 10 の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路 104 間をつなぐための複数の配線 105 が設けられている。また、対向基板 20 のコーナ部の少なくとも 1箇所においては、TFT アレイ基板 10 と対向基板 20 との間で電氣的導通をとるための上下導通材 106 が形成されている。そして、図 25 に示すように、図 24 に示したシール材 52 とほぼ同じ輪郭をもつ対向基板 20 が当該シール材 52 により TFT アレイ基板 10 に固着されている。

TFT アレイ基板 10 上には、これらのデータ線駆動回路 101、走査線駆動回路 104 等に加えて、複数のデータ線 6a に画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線 6a に所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。更に、このようなサンプリング回路、プリチャージ

回路、検査回路等は、遮光膜 53 下の領域を利用して設けてもよい。

以上説明した各実施例では、データ線駆動回路 101 及び走査線駆動回路 104 を TFT アレイ基板 10 の上に設ける代わりに、例えば TAB (Tape Automated bonding) 基板上に実装された駆動用 LSI に、TFT アレイ基板 10 の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板 20 および TFT アレイ基板 10 の光入射側の面あるいは光出射側には、使用する液晶 50 の種類、すなわち、例えば、TN (Twisted Nematic) モード、VA (Vertically Aligned) モード、PDL C (Polymer Dispersed Liquid Crystal) モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

また、このように形成した電気光学装置は、例えば、投射型表示装置 (液晶プロジェクタ) において使用される。この場合、3 枚の電気光学装置 100 が RGB 用のライトバルブとして各々使用され、各電気光学装置 100 の各々には、RGB 色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、前記した各実施例の電気光学装置 100 にはカラーフィルタが形成されていない。しかしながら、画素電極 9a に対向する所定領域に RGB のカラーフィルタをその保護膜と共に、対向基板 20 上に形成してもよい。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置について、各実施例における電気光学装置を適用できる。また、対向基板 20 上に 1 画素 1 個対応するようにマイクロレンズを形成してもよい。あるいは、TFT アレイ基板 10 上の RGB に対向する画素電極 9a 下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板 20 上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB 色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

また、各画素に形成される画素スイッチング用のTFTとしては、正スタガ型またはコプレーナ型のポリシリコンTFTを用いた例で説明したが、逆スタガ型のTFTやアモルファスシリコンTFTなど、他の形式のTFTを画素スイッチング用に用いてもよい。

5 (投射型表示装置)

次に、以上詳細に説明した電気光学装置をライトバルブとして用いた電子機器の一例たる投射型カラー表示装置の実施例について図26及び図27を参照して説明する。

10 15 20 25 30 35 40 45 50 55 60 65 70 75 80 85 90 95 100 105 110 115 120 125 130 135 140 145 150 155 160 165 170 175 180 185 190 195 200 205 210 215 220 225 230 235 240 245 250 255 260 265 270 275 280 285 290 295 300 305 310 315 320 325 330 335 340 345 350 355 360 365 370 375 380 385 390 395 400 405 410 415 420 425 430 435 440 445 450 455 460 465 470 475 480 485 490 495 500 505 510 515 520 525 530 535 540 545 550 555 560 565 570 575 580 585 590 595 600 605 610 615 620 625 630 635 640 645 650 655 660 665 670 675 680 685 690 695 700 705 710 715 720 725 730 735 740 745 750 755 760 765 770 775 780 785 790 795 800 805 810 815 820 825 830 835 840 845 850 855 860 865 870 875 880 885 890 895 900 905 910 915 920 925 930 935 940 945 950 955 960 965 970 975 980 985 990 995

まず、本実施例の投射型カラー表示装置の回路構成について図26のブロック図を参照して説明する。尚、図26は、投射型カラー表示装置における3枚のライトバルブのうちの1枚に係る回路構成を示したものである。これら3枚のライトバルブは、基本的にどれも同じ構成を持つので、ここでは1枚の回路構成に係る部分について説明を加えるものである。但し厳密には、3枚のライトバルブでは、入力信号が夫々異なり（即ち、R用、G用、B用の信号で夫々駆動され）、更にG用のライトバルブに係る回路構成では、R用及びB用の場合と比べて、画像を反転して表示するように画像信号の順番を各フィールド又はフレーム内で逆転させるか又は水平或いは垂直走査方向を逆転させる点も異なる。

図26において、投射型カラー表示装置は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、液晶装置100、クロック発生回路1008及び電源回路1010を備えて構成されている。表示情報出力源1000は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置などのメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路1004に出力す

る。駆動回路 1004 は、液晶装置 100 を駆動する。電源回路 1010 は、上述の各回路に所定電源を供給する。尚、液晶装置 100 を構成する TFT アレイ基板の上に、駆動回路 1004 を搭載してもよく、これに加えて表示情報処理回路 1002 を搭載してもよい。

- 5 次に図 27 を参照して、本実施例の投射型カラー表示装置の全体構成（特に光学的な構成）について説明する。ここに図 27 は、投射型カラー表示装置の図式的断面図である。

- 図 27 において、本実施例における投射型カラー表示装置の一例たる液晶プロジェクタ 1100 は、上述した駆動回路 1004 が TFT アレイ基板上
10 に搭載された液晶装置 100 を含む液晶モジュールを 3 個用意し、夫々 RGB 用のライトバルブ 100R、100G 及び 100B として用いたプロジェクタとして構成されている。液晶プロジェクタ 1100 では、メタルハライドランプ等の白色光源のランプユニット 1102 から投射光が発せられると、3 枚のミラー 1106 及び 2 枚のダイクロイックミラー 1108 によって
15 、RGB の 3 原色に対応する光成分 R、G、B に分けられ、各色に対応するライトバルブ 100R、100G 及び 100B に夫々導かれる。この際特に B 光は、長い光路による光損失を防ぐために、入射レンズ 1122、リレーレンズ 1123 及び出射レンズ 1124 からなるリレーレンズ系 1121 を介して導かれる。そして、ライトバルブ 100R、100G 及び 100B に
20 より夫々変調された 3 原色に対応する光成分は、ダイクロイックプリズム 1112 により再度合成された後、投射レンズ 1114 を介してスクリーン 1120 にカラー画像として投射される。

- 本発明は、上述した各実施例に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置、投射型表示装置及び電気光学装置の製造方法もまた本発明の技術的範囲に含まれるものである。
25

産業上の利用可能性

本発明に係る電気光学装置は、耐光性に優れており、明るく高品位の

画像表示が可能な各種の表示装置として利用可能であり、更に投射型表示装置の他、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、ワークステーション、携帯電話、テレビ電話、POS端末

5、タッチパネル等の各種の電子機器の表示部を構成する表示装置として利用可能である。

請 求 の 範 囲

1. 第1の基板と、

該第1の基板上に配置された画素電極と、

- 5 前記第1の基板上に配置され且つ前記画素電極に接続された薄膜トランジスタと、

前記薄膜トランジスタのチャネル領域の上層側で、該チャネル領域にゲート絶縁膜を介して対向する前記薄膜トランジスタのゲート電極の上層側に配置された第1の遮光膜と

- 10 を備えており、

前記第1の遮光膜は、遮光用側壁として前記チャネル領域を側方で囲む位置まで形成されている電気光学装置。

2. 前記第1の基板に対向配置された第2の基板と、

前記第1及び第2の基板間に挟持された電気光学物質と

- 15 を更に備えた請求項1に記載の電気光学装置。

3. 前記第1の基板上には、前記画素電極および前記薄膜トランジスタがマトリクス状に配置されている請求項1に記載の電気光学装置。

4. 前記遮光用側壁は、前記第1の遮光膜の下層側に位置する少なくとも一層の絶縁膜に形成された側壁形成用溝内に当該第1の遮光膜が形成されてなる請求項1に記載の電気光学装置。

- 20

5. 前記薄膜トランジスタのドレイン領域には、該ドレイン領域の上層側に形成されたドレイン電極が電気的に接続し、

該ドレイン電極には、該ドレイン電極の上層側に形成された前記画素電極が電気的に接続し、

- 25 前記ドレイン電極は、前記チャネル領域を上層側で覆うように形成された遮光性を有する導電膜から形成されている請求項1に記載の電気光学装置。

6. 前記ドレイン電極と前記第1の遮光膜は、前記ドレイン電極と前記第1の遮光膜の間に形成された絶縁膜を誘電膜として蓄積容量を形成している請求項5に記載の電気光学装置。

7. 前記薄膜トランジスタのソース領域には、該ソース領域の上層側に形成されたデータ線が電氣的に接続し、

該データ線は、前記チャネル領域を上層側で覆うように形成された遮光性の導電膜から形成されている請求項1に記載の電気光学装置。

5 8. 前記薄膜トランジスタの能動層は、前記データ線の下層側で該データ線の形成領域の内側に形成された半導体膜から形成されている請求項7に記載の電気光学装置。

9. 前記データ線は、等しい幅寸法をもって直線的に延設されている請求項7に記載の電気光学装置。

10 10. 前記チャネル領域の下層側には、該チャネル領域に重なる第2の遮光膜が形成されている請求項1に記載の電気光学装置。

11. 前記第1の遮光膜は、前記側壁形成用溝を經由して前記第2の遮光膜に電氣的に接続されている請求項10に記載の電気光学装置。

15 12. 前記第1の遮光膜は、前記第2の遮光膜に直接、接続されている請求項11に記載の電気光学装置。

13. 前記側壁形成用溝内には、底部まで前記第1の遮光膜が形成されている請求項12に記載の電気光学装置。

14. 前記第1の遮光膜は、前記第2の遮光膜に他の遮光性の導電膜を介して接続されている請求項11に記載の電気光学装置。

20 15. 前記側壁形成用溝内では、底部側に前記ゲート電極を構成する導電膜と同一の材料からなる導電膜が形成され、該導電膜の上に前記遮光用側壁が形成されている請求項14に記載の電気光学装置。

16. (i)第1の基板と、

該第1の基板上に配置された画素電極と、

25 前記第1の基板上に配置され且つ前記画素電極に接続された薄膜トランジスタと、

前記薄膜トランジスタのチャネル領域の上層側で、該チャネル領域にゲート絶縁膜を介して対向する前記薄膜トランジスタのゲート電極の上層側に配置された第1の遮光膜と

を備えており、

前記第1の遮光膜は、遮光用側壁として前記チャネル領域を側方で囲む位置まで形成されている電気光学装置からなるライトバルブと、

(ii)該ライトバルブに投射光を照射する光源と、

- 5 (iii)前記ライトバルブから出射される投射光を投射する光学系とを備えた投射型表示装置。

17. 第1の基板と、

該第1の基板上に配置された画素電極と、

- 10 前記第1の基板上に配置され且つ前記画素電極に接続された薄膜トランジスタとを備えた電気光学装置を製造する電気光学装置の製造方法において、チャネル領域の上層側でゲート絶縁膜を介してゲート電極が対向する前記薄膜トランジスタを前記第1の基板の表面側に形成した後、該薄膜トランジスタを覆う少なくとも一層の層間絶縁膜を形成し、次に、該層間絶縁膜に対して前記薄膜トランジスタのチャネル領域の側方を通る側壁形成溝を形成し、
- 15 、しかる後に、少なくとも前記薄膜トランジスタのチャネル領域を覆う第1の遮光膜を形成するとともに、該第1の遮光膜を形成するときには該第1の遮光膜を遮光用側壁として前記側壁形成溝内にも形成する電気光学装置の製造方法。

18. 前記第1の基板の表面側に前記薄膜トランジスタを形成する前に、前記第1の基板の表面側に第2の遮光膜、下地絶縁膜、前記薄膜トランジスタを形成する半導体膜、および当該薄膜トランジスタのゲート絶縁膜を形成し
- 20

- 次に、前記ゲート絶縁膜および前記下地絶縁膜に対して前記薄膜トランジスタのチャネル領域の側方を通して前記第2の遮光膜に至る接続溝を形成した後、前記ゲート電極を形成するときには該ゲート電極を形成する導電膜を前記接続溝内にも形成し、
- 25

それ以降、前記ゲート電極の上層側に前記層間絶縁膜を形成した後、前記側壁形成用溝を形成するときには前記接続溝に連通して当該接続溝と一体の前記側壁形成用溝を形成し、

しかる後に、前記第 1 の遮光膜を形成するとともに該第 1 の遮光膜を形成するときには当該第 1 の遮光膜を前記側壁形成溝内にも形成して当該側壁用形成溝内で前記導電膜に接続する前記遮光用側壁を形成する請求項 17 に記載の電気光学装置の製造方法。

- 5 19. 前記第 1 の基板の表面側に前記薄膜トランジスタを形成する前に、前記第 1 の基板の表面側に第 2 の遮光膜、下地絶縁膜、前記薄膜トランジスタを形成する半導体膜、当該薄膜トランジスタのゲート絶縁膜、当該薄膜トランジスタのゲート電極を形成し、

それ以降、前記ゲート電極の上層側に前記層間絶縁膜を形成し、

- 10 次に、前記側壁形成用溝を形成するときには、前記層間絶縁膜、前記ゲート絶縁膜、前記下地絶縁膜に対して前記薄膜トランジスタのチャネル領域の側方を通して前記第 2 の遮光膜に至る前記側壁形成用溝を形成し、

しかる後に、前記第 1 の遮光膜を形成するとともに該第 1 の遮光膜を形成するときには当該第 1 の遮光膜を前記側壁形成溝内にも形成して当該側壁用形成溝内で前記第 2 の遮光膜に接続する前記遮光用側壁を形成する請求項 17 に記載の電気光学装置の製造方法。

- 15 20. 基板上に、

画素電極と、

該画素電極に接続された薄膜トランジスタと、

- 20 該薄膜トランジスタに接続された配線と、

前記薄膜トランジスタ及び前記配線を立体的に覆う遮光部材と

を備えた電気光学装置。

21. 前記遮光部材は、

前記基板上に掘られ且つ前記薄膜トランジスタ及び前記配線が内部に収容

- 25 された溝の底面及び側壁に形成された一の遮光膜と、

前記溝を上側から蓋する他の遮光膜と

を含む請求項 20 に記載の電気光学装置。

22. 前記遮光部材は、

前記基板上に形成された下側遮光膜と、

該下側遮光膜上に形成された前記薄膜トランジスタ及び前記配線上に形成された上側遮光膜と、

平面的に見て前記薄膜トランジスタ及び前記配線の外側において前記上側遮光膜から前記下側遮光膜まで掘られた堀内に充填された側壁遮光膜と

5 を含む請求項 20 に記載の電気光学装置。

23. 前記遮光部材は、

一の平面領域において、前記基板上に掘られ且つ前記薄膜トランジスタ及び前記配線が内部に收容された溝の底面及び側壁に形成された一の遮光膜と、前記溝を上側から蓋する他の遮光膜とを含み、

10 他の平面領域において、前記基板上に形成された下側遮光膜と、該下側遮光膜上に形成された前記薄膜トランジスタ及び前記配線上に形成された上側遮光膜と、平面的に見て前記薄膜トランジスタ及び前記配線の外側において前記上側遮光膜から前記下側遮光膜まで掘られた堀内に充填された側壁遮光膜とを含む請求項 20 に記載の電気光学装置。

15 24. 前記遮光部材は、

前記基板上に掘られ且つ前記薄膜トランジスタ及び前記配線が部分的に内部に收容された溝の底面及び側壁に形成された一の遮光膜と、

該一の遮光膜上に形成された前記薄膜トランジスタ及び前記配線上に形成された上側遮光膜と、

20 平面的に見て前記薄膜トランジスタ及び前記配線の外側において前記上側遮光膜から前記一の遮光膜まで掘られた堀内に充填された側壁遮光膜と

を含む請求項 20 に記載の電気光学装置。

25 25. 前記上側遮光膜と前記側壁遮光膜とは一体形成されている請求項 24 に記載の電気光学装置。

26. 一对の第 1 及び第 2 基板間に電気光学物質が挟持されてなり、

前記第 1 基板上に、

第 1 の周期で反転駆動されるための第 1 の画素電極群及び該第 1 の周期と相補の第 2 の周期で反転駆動されるための第 2 の画素電極群を含む平面配列された複数の画素電極と、

該画素電極に接続された薄膜トランジスタと、

該薄膜トランジスタに接続された配線と、

平面的に見て相隣接する画素電極の間隙となる領域において前記薄膜トランジスタ及び前記配線を立体的に覆うと共に該間隙となる領域のうち異なる
5 画素電極群に含まれる相隣接する画素電極相互間に位置する領域部分を凸状に盛り上げる遮光部材と

を備え、

前記第2基板上に、前記複数の画素電極に対向する対向電極を備えた電気光学装置。

10 27. 前記遮光部材は、

同一の画素電極群に含まれる相隣接する画素電極相互間に位置する領域部分において、前記基板上に掘られ且つ前記薄膜トランジスタ及び前記配線が内部に収容された溝の底面及び側壁に形成された一の遮光膜と、前記溝を上側から蓋する他の遮光膜とを含み、

15 前記異なる画素電極群に含まれる相隣接する画素電極相互間に位置する領域部分において、前記基板上に形成された下側遮光膜と、該下側遮光膜上に形成された前記薄膜トランジスタ及び前記配線上に形成された上側遮光膜と、平面的に見て前記薄膜トランジスタ及び前記配線の外側において前記上側遮光膜から前記下側遮光膜まで掘られた堀内に充填された側壁遮光膜とを含む請求項26に記載の電気光学装置。
20

28. 前記同一の画素電極群に含まれる相隣接する画素電極相互間に位置する領域部分において、前記画素電極の下地に対して平坦化処理が施されている請求項27に記載の電気光学装置。

29. 前記上側遮光膜と前記側壁遮光膜とは一体形成されている請求項27
25 に記載の電気光学装置。

30. 前記画素電極と前記薄膜トランジスタとは、遮光性の導電膜を介して接続されている請求項20に記載の電気光学装置。

31. 前記画素電極と前記薄膜トランジスタとの接続箇所は、平面的に見て相隣接する薄膜トランジスタの中央に位置する請求項20に記載の電気光学

装置。

32. 前記基板に対向すると共に、前記画素電極と前記薄膜トランジスタとの接続箇所に対向して形成された遮光膜を有する請求項20に記載の電気光学装置。

5 33. 前記遮光部材は、高融点金属を含む膜からなる請求項20に記載の電気光学装置。

34. 前記配線は、相交差する走査線及びデータ線を含み、前記遮光部材は、平面的に見て格子状に形成されている請求項20に記載の電気光学装置。

10 35. 前記第1基板上に、前記遮光部材により立体的に覆われた空間内に配置されており前記画素電極に接続された蓄積容量を更に備えた請求項20に記載の電気光学装置。

36. (i) 基板上に、

画素電極と、

該画素電極に接続された薄膜トランジスタと、

15 該薄膜トランジスタに接続された配線と、

前記薄膜トランジスタ及び前記配線を立体的に覆う遮光部材と

を備えた電気光学装置からなるライトバルブと、

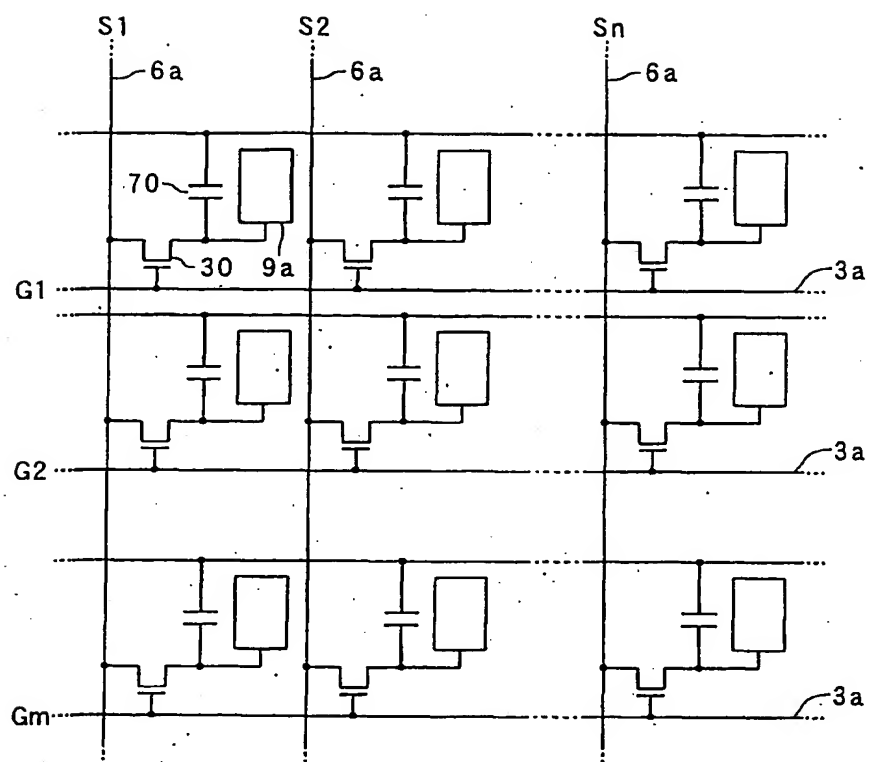
(ii) 該ライトバルブに投射光を照射する光源と、

(iii) 前記ライトバルブから出射される投射光を投射する光学系と

20 を備えた投射型表示装置。

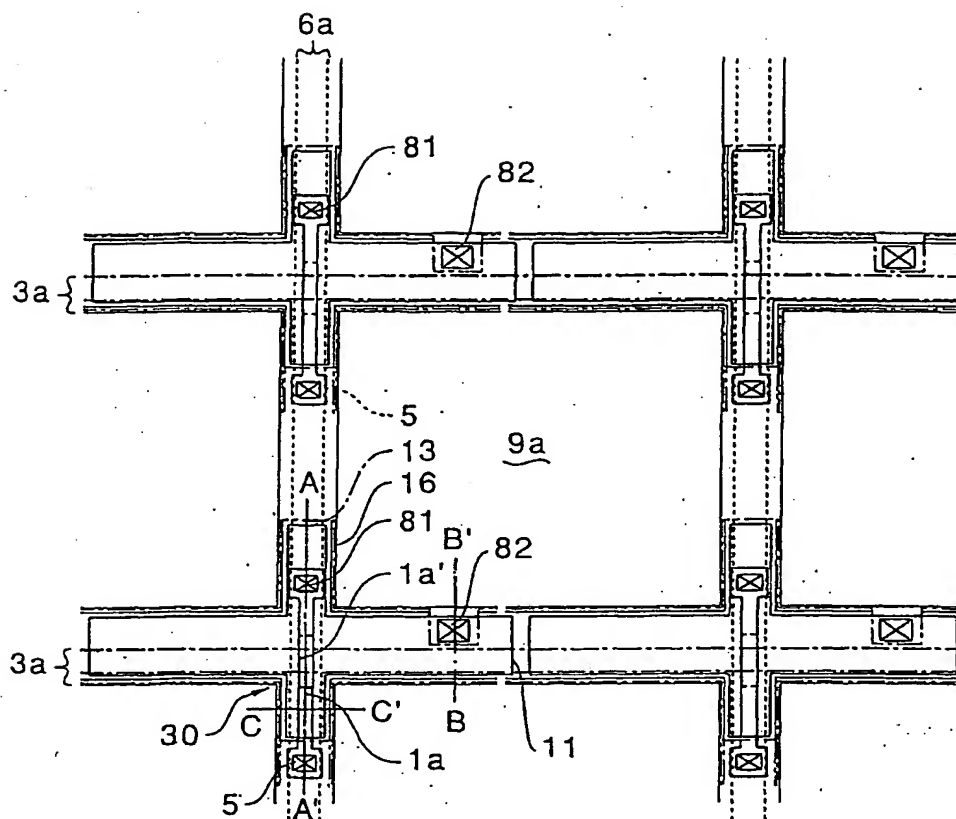
1/25

図 1



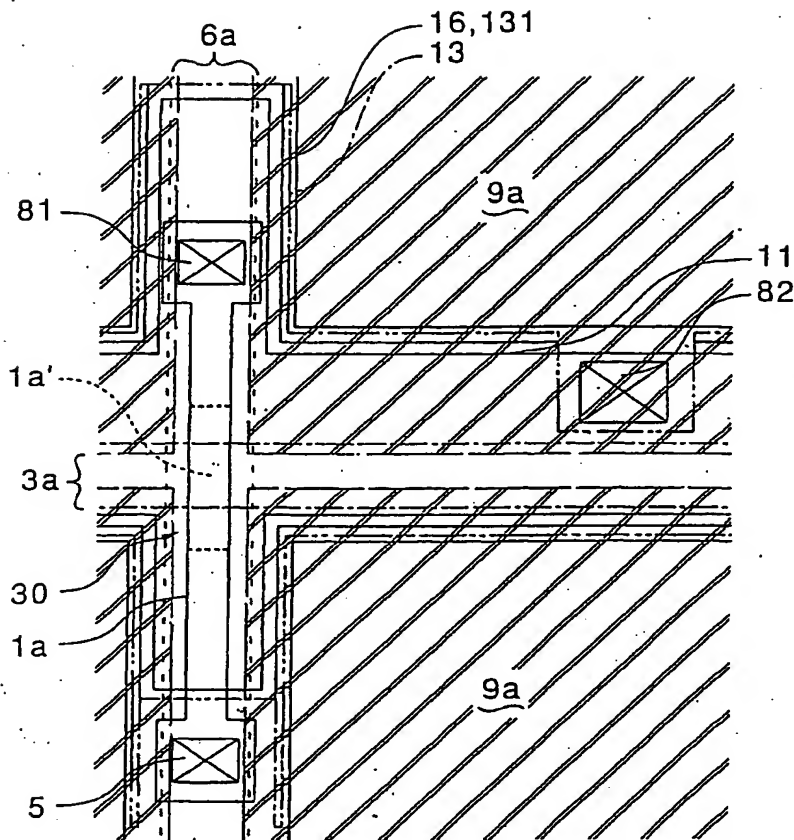
2/25

図 2



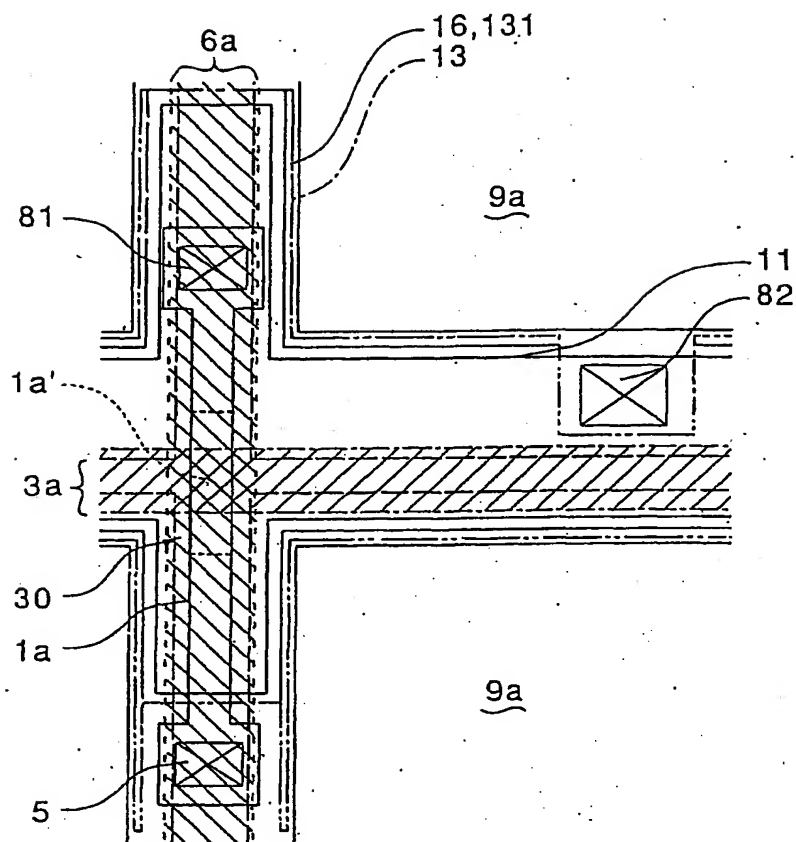
3/25

図 3



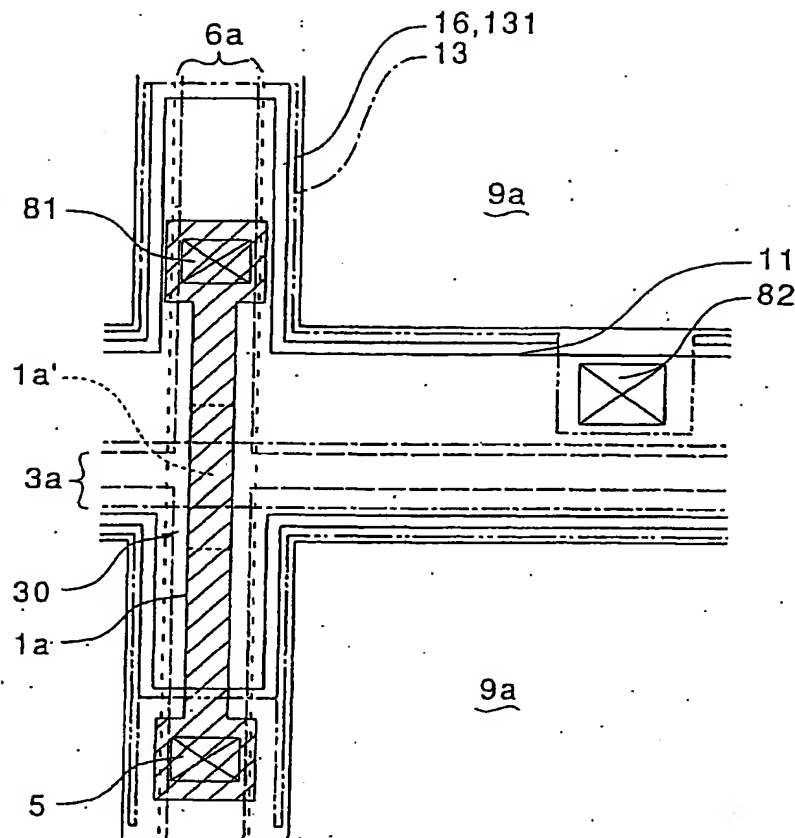
4/25

☒ 4



5/25

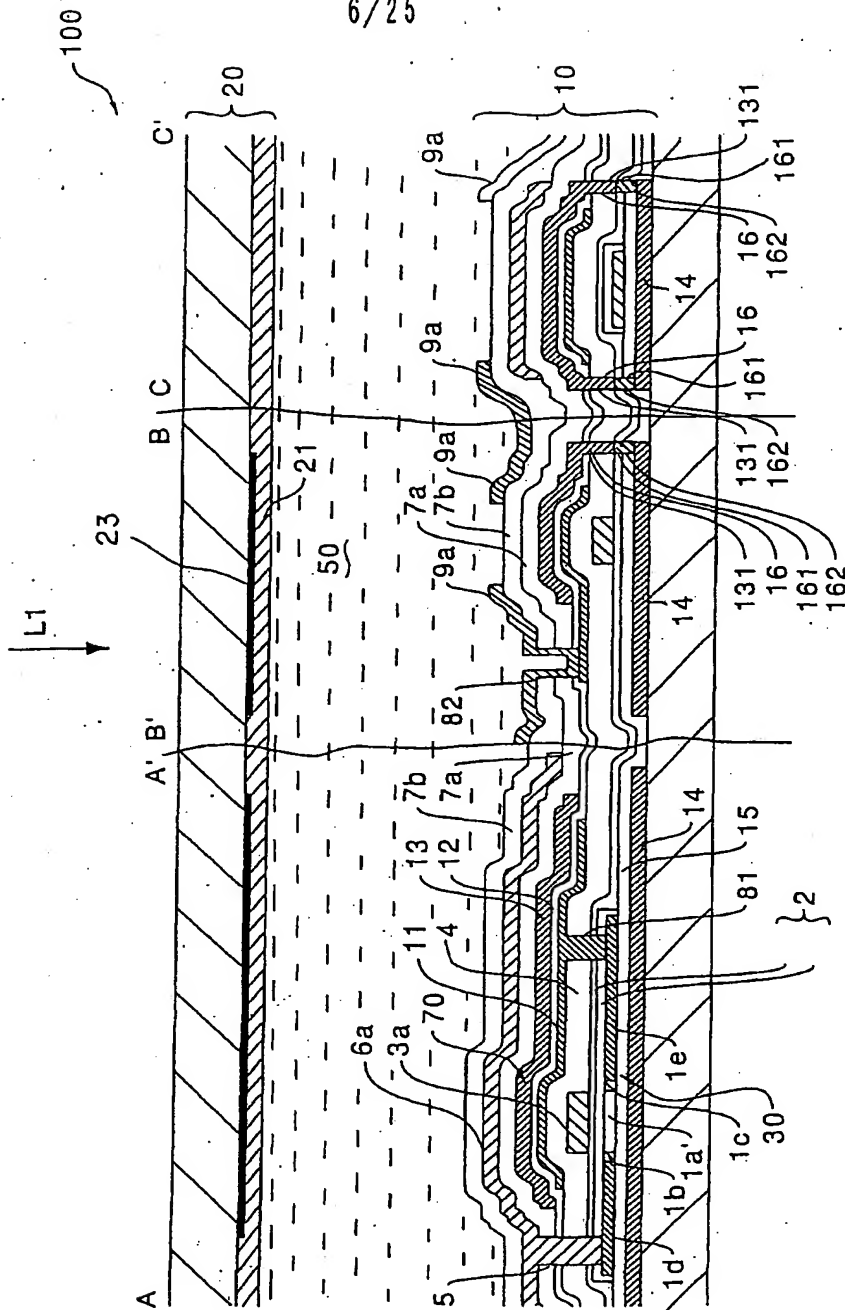
5



2,501,3309

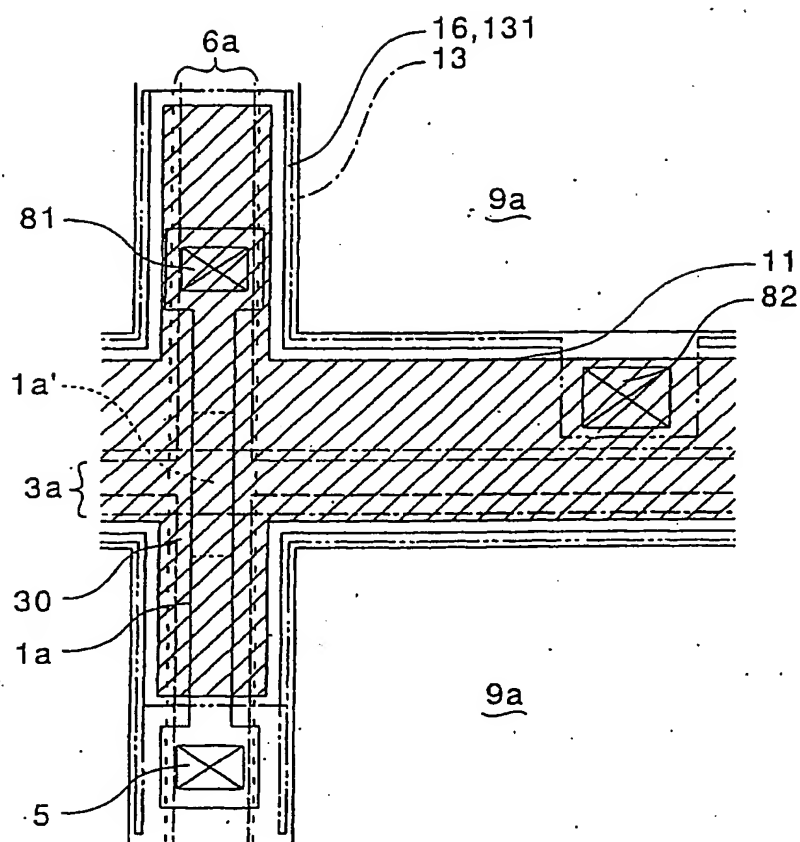
6/25

図 6



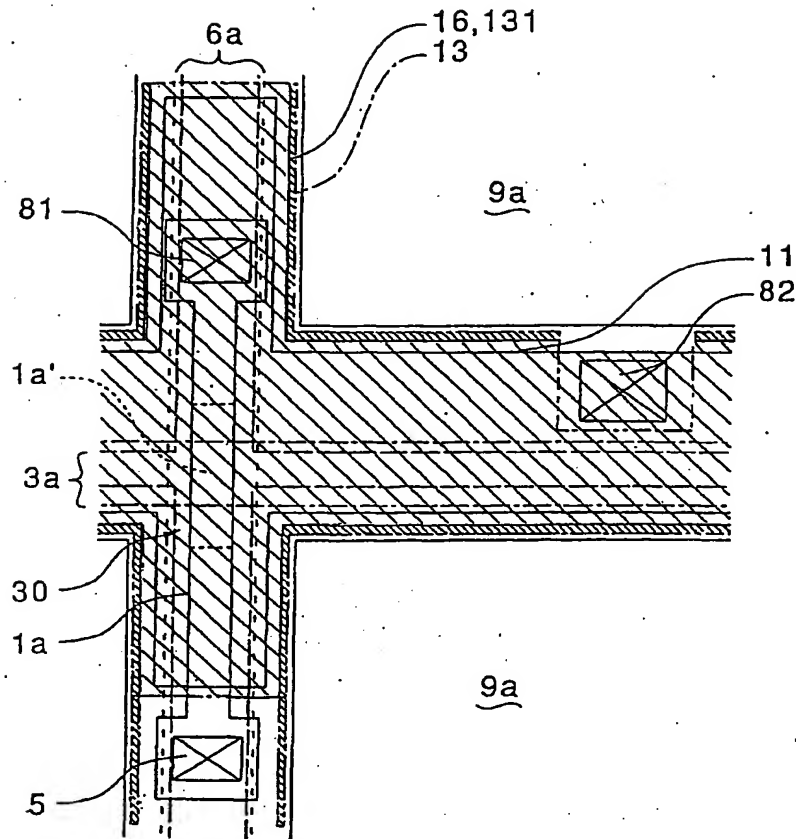
7/25

図 7



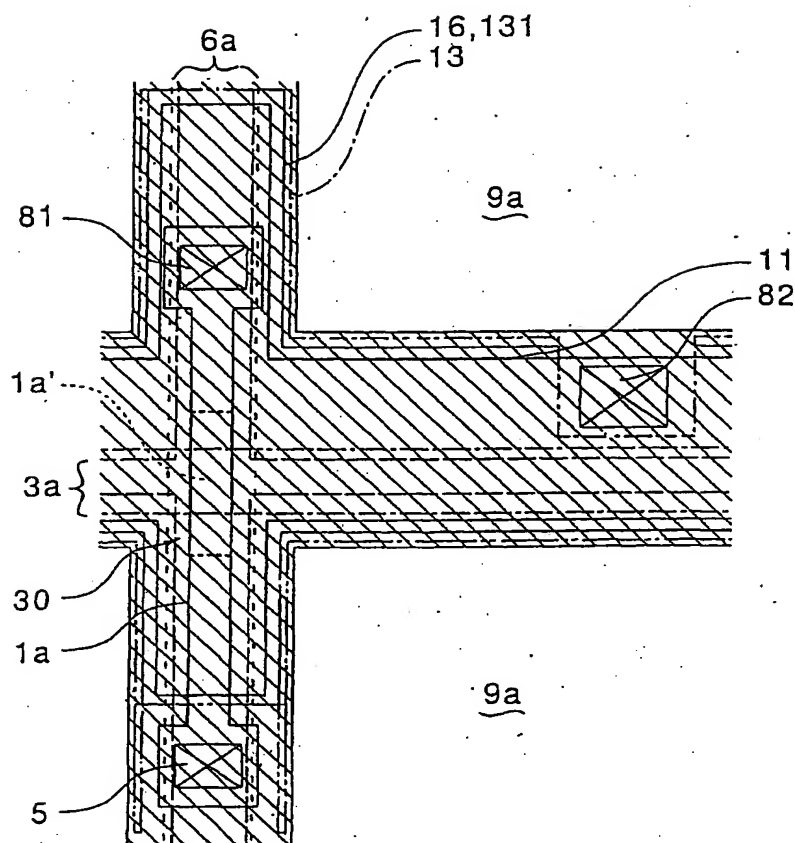
8/25

8



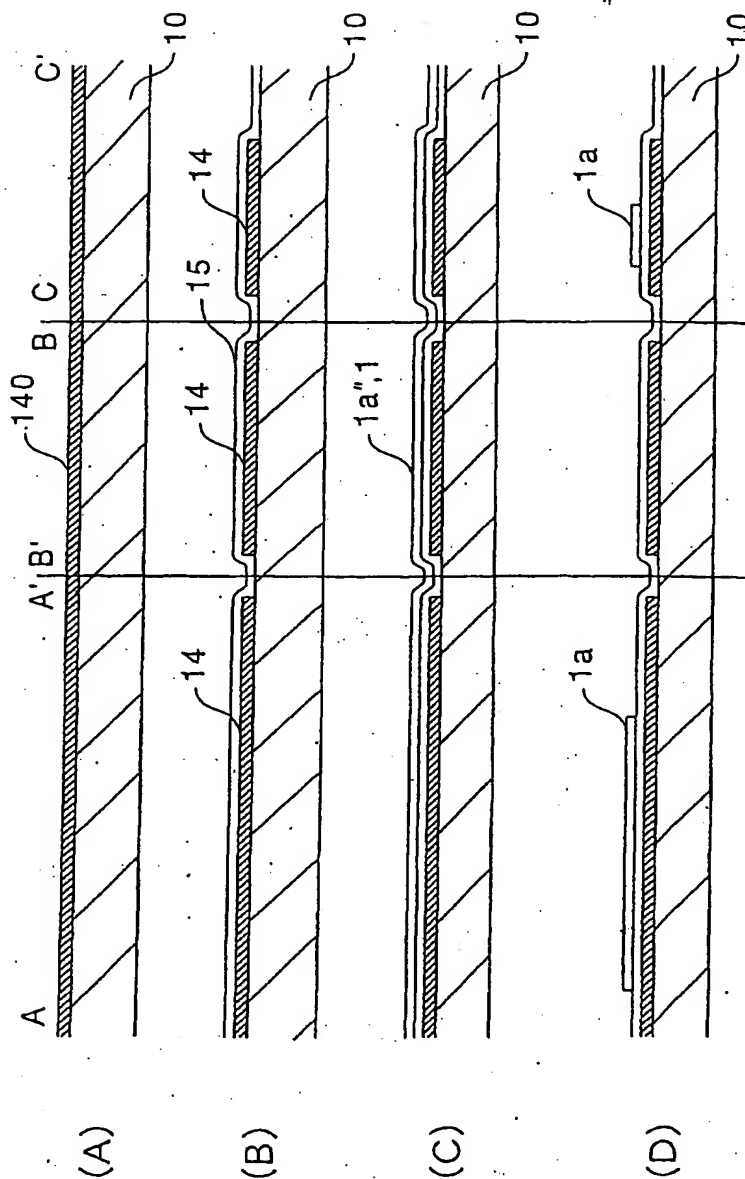
9/25

9



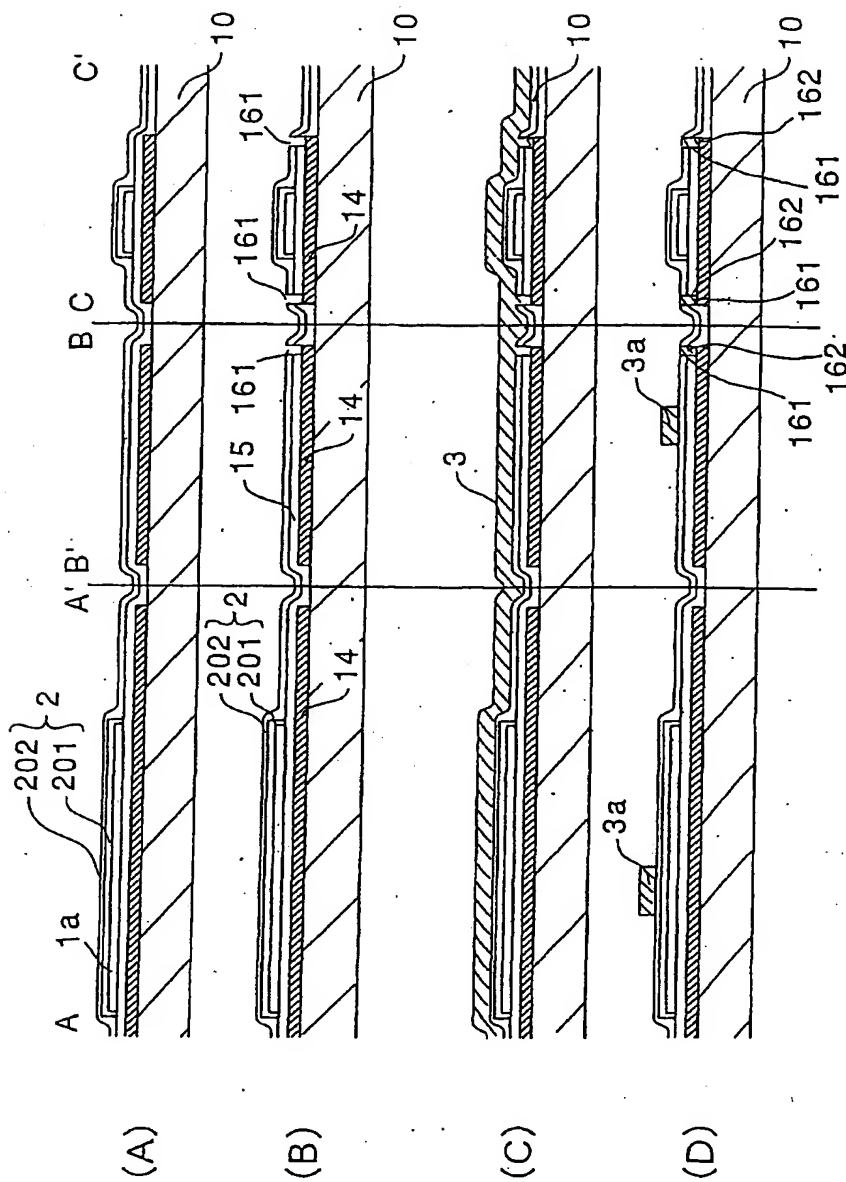
10/25

図 10



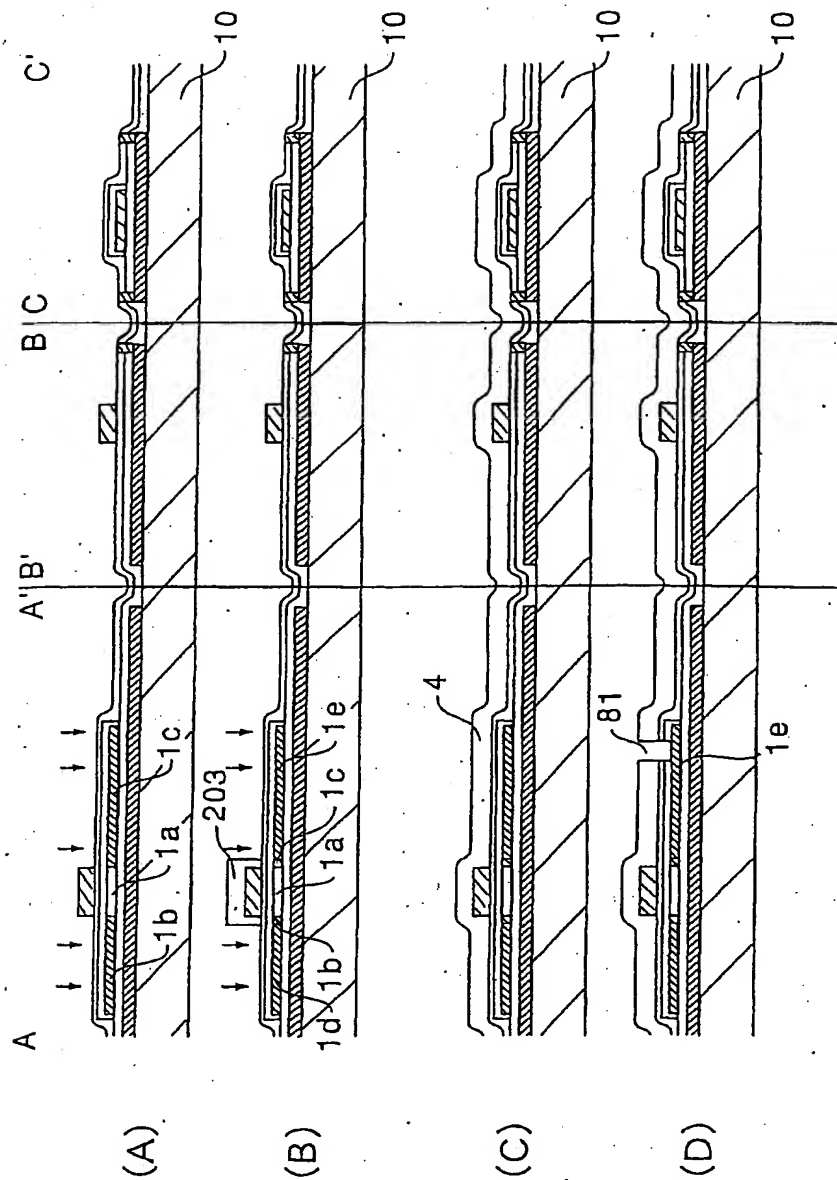
11/25

図 11



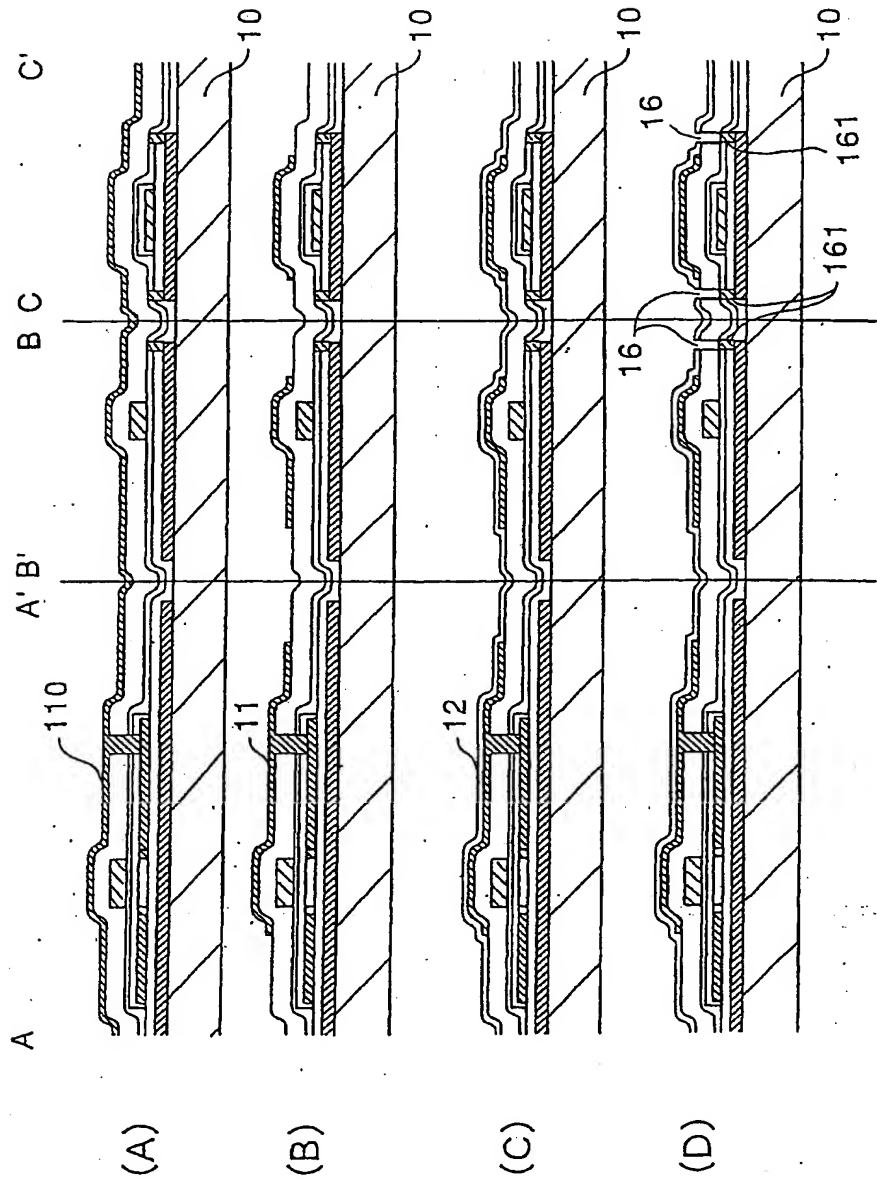
12/25

図 12



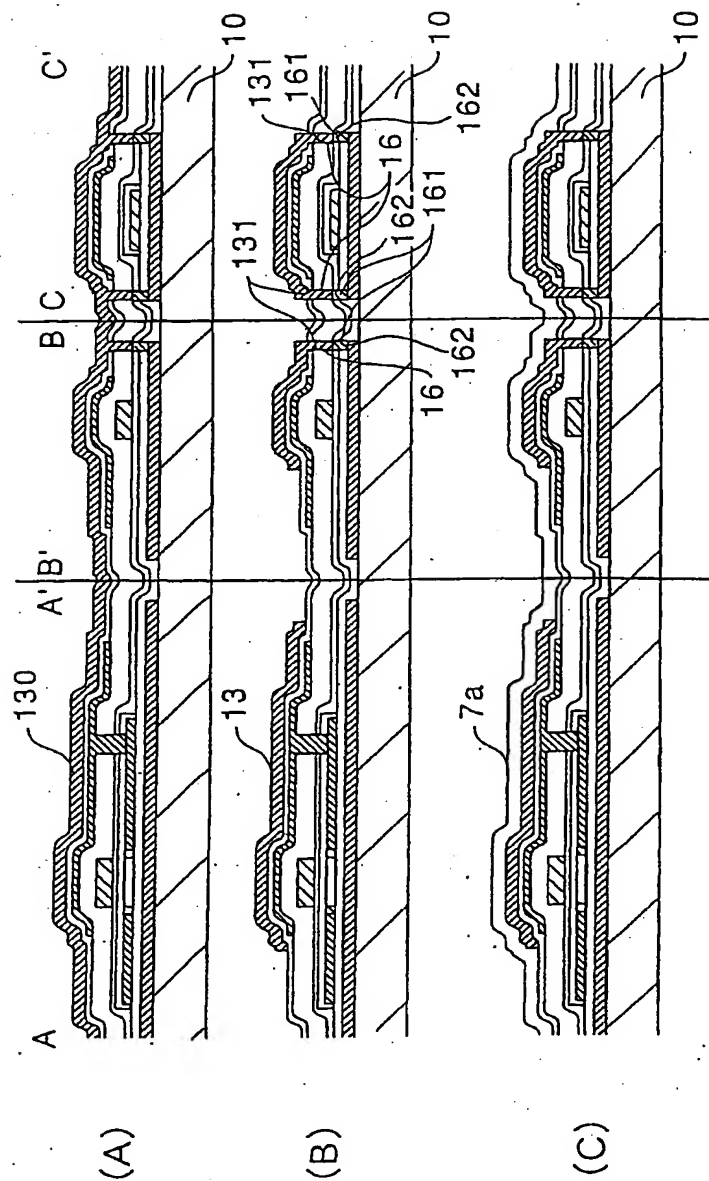
13/25

図 13



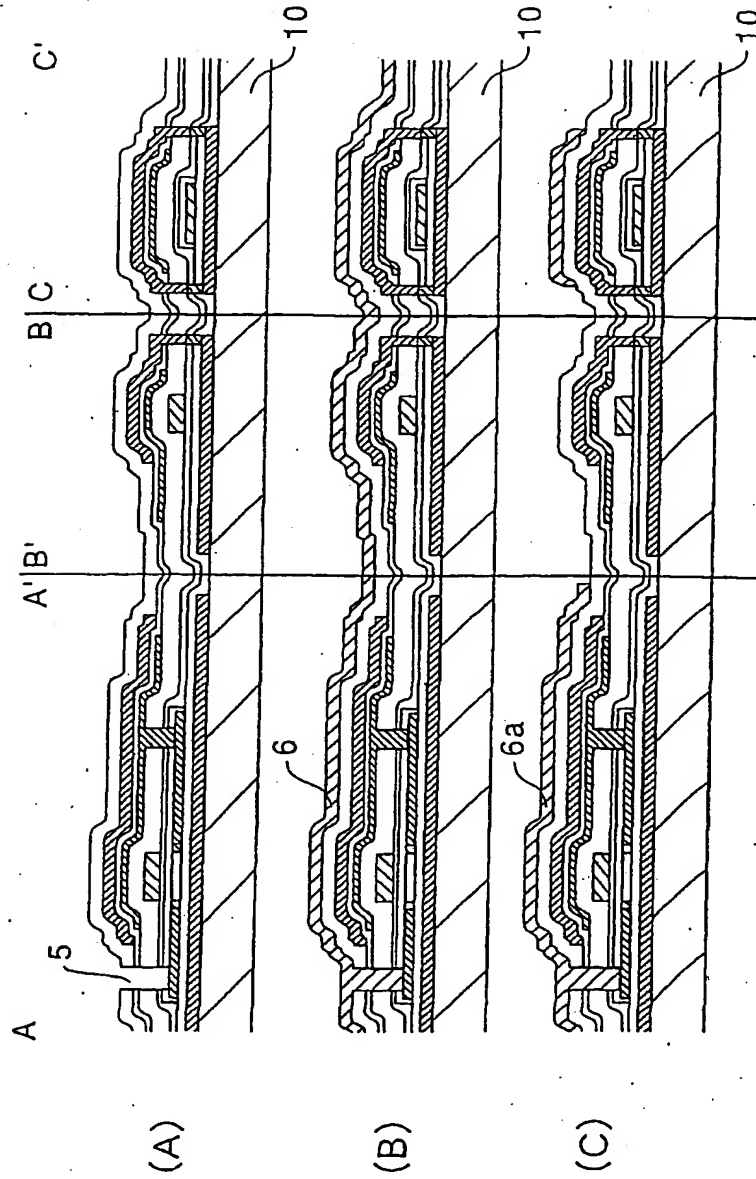
14/25

図 14



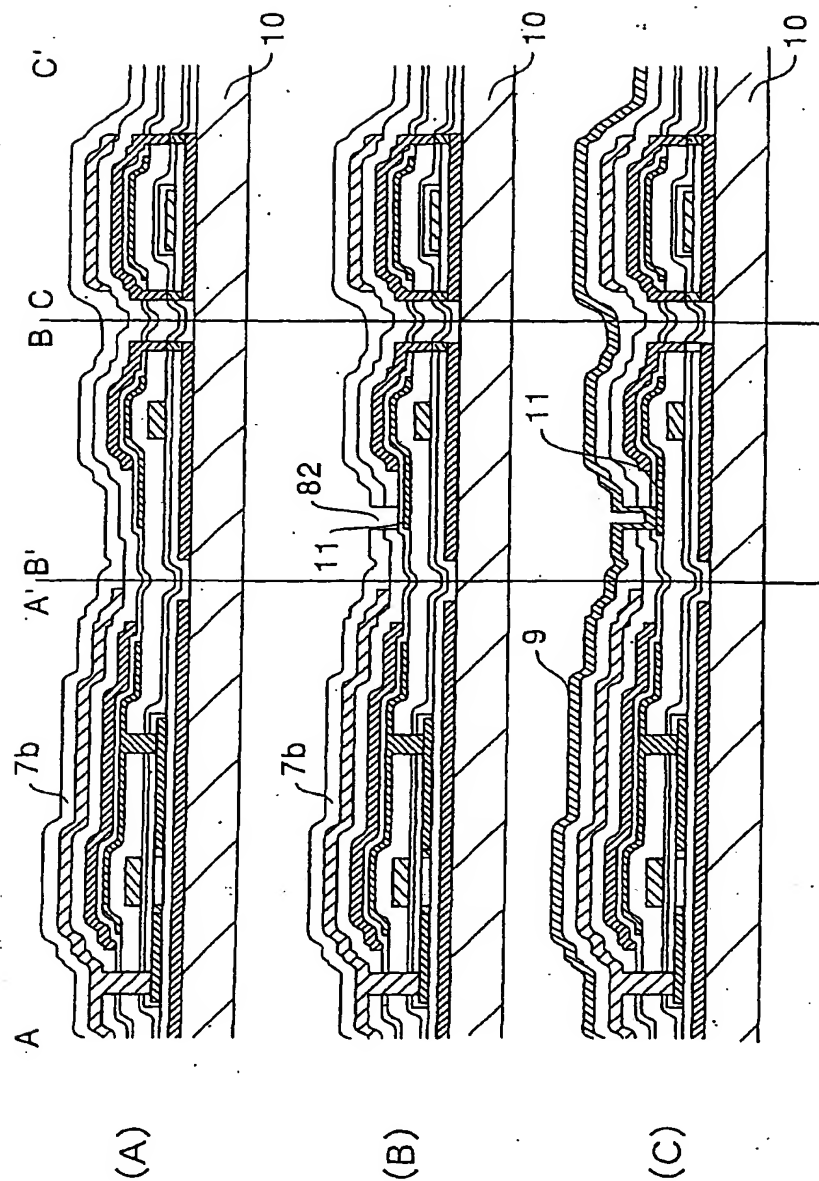
15/25

図 15



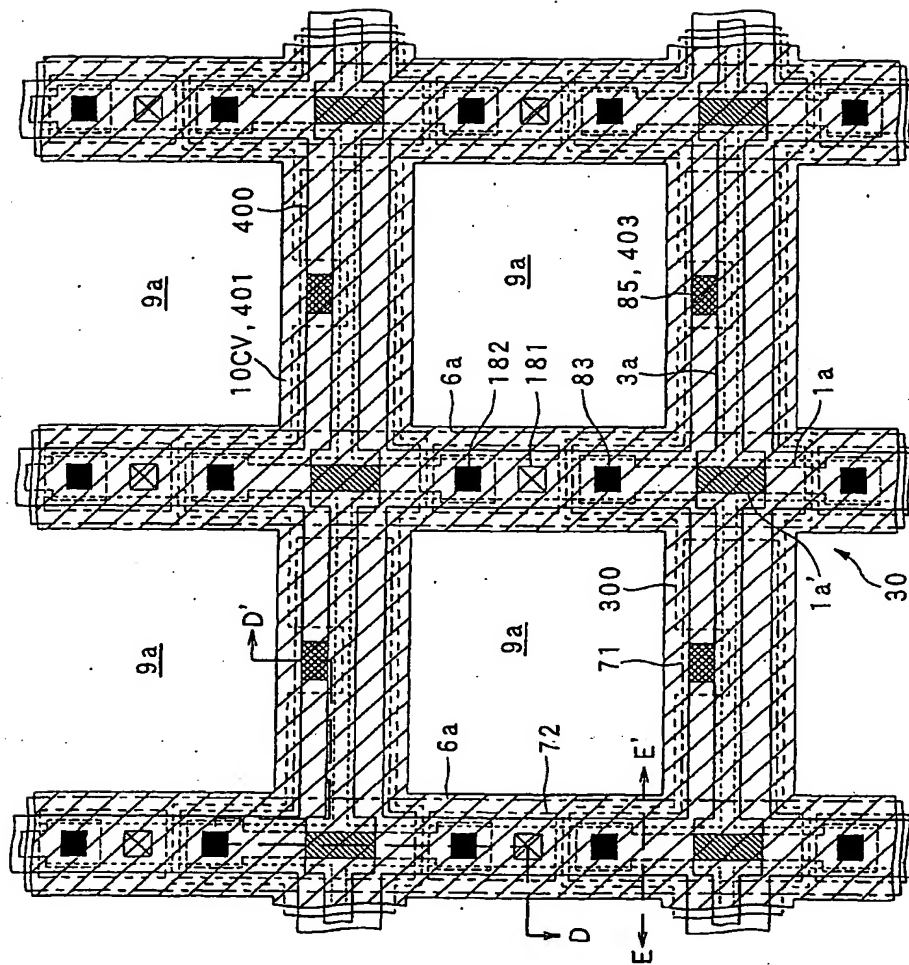
16/25

図 16



18/25

図 18



20/25

図 20

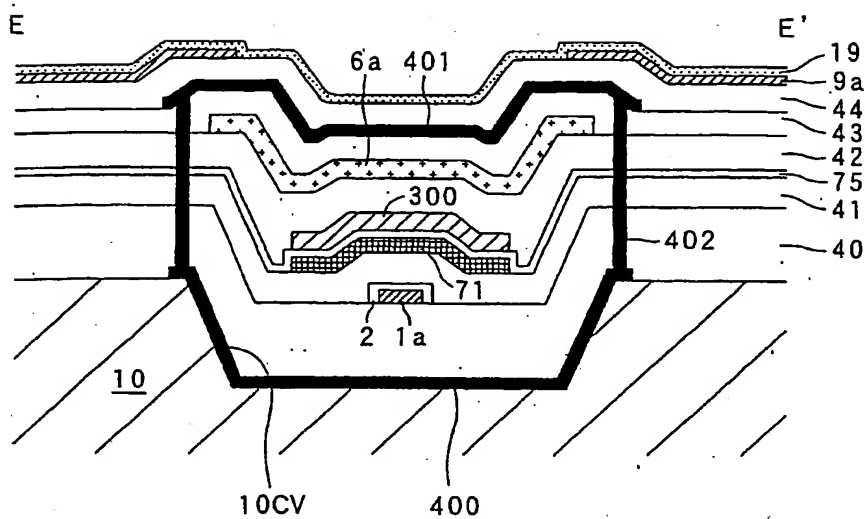
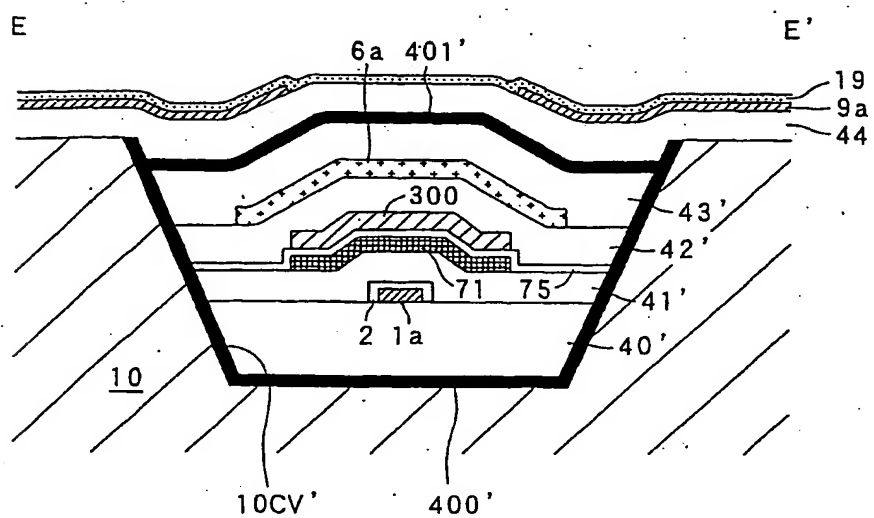
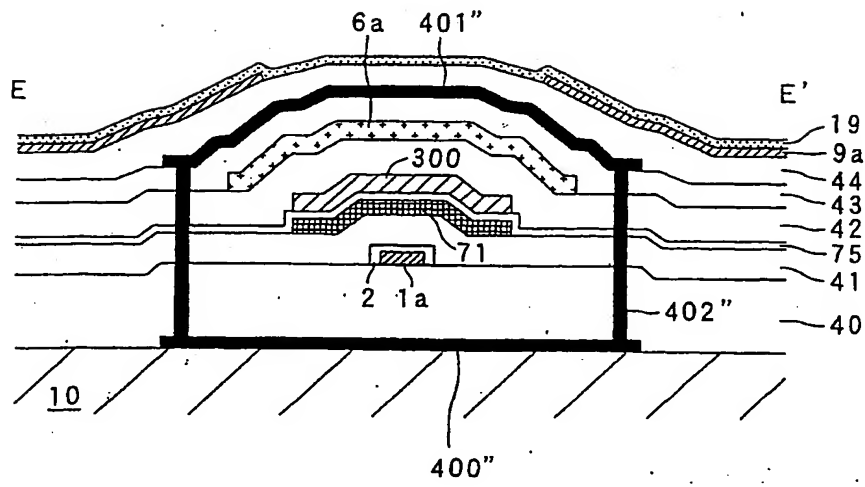


図 21



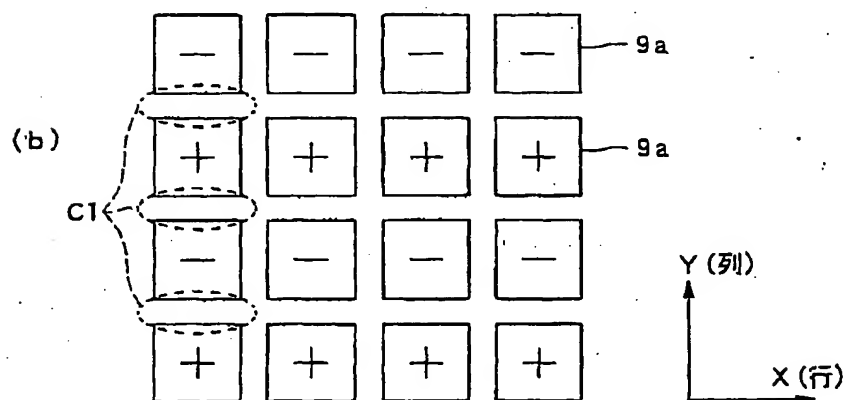
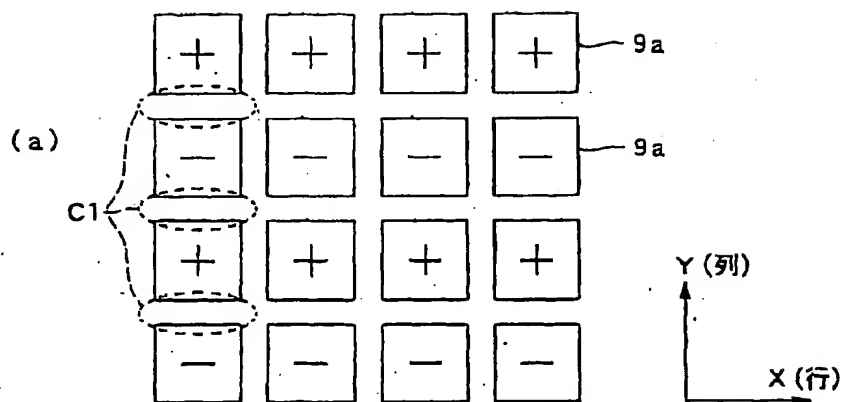
21/25

図 22



22/25

図 23



23/25

図 24

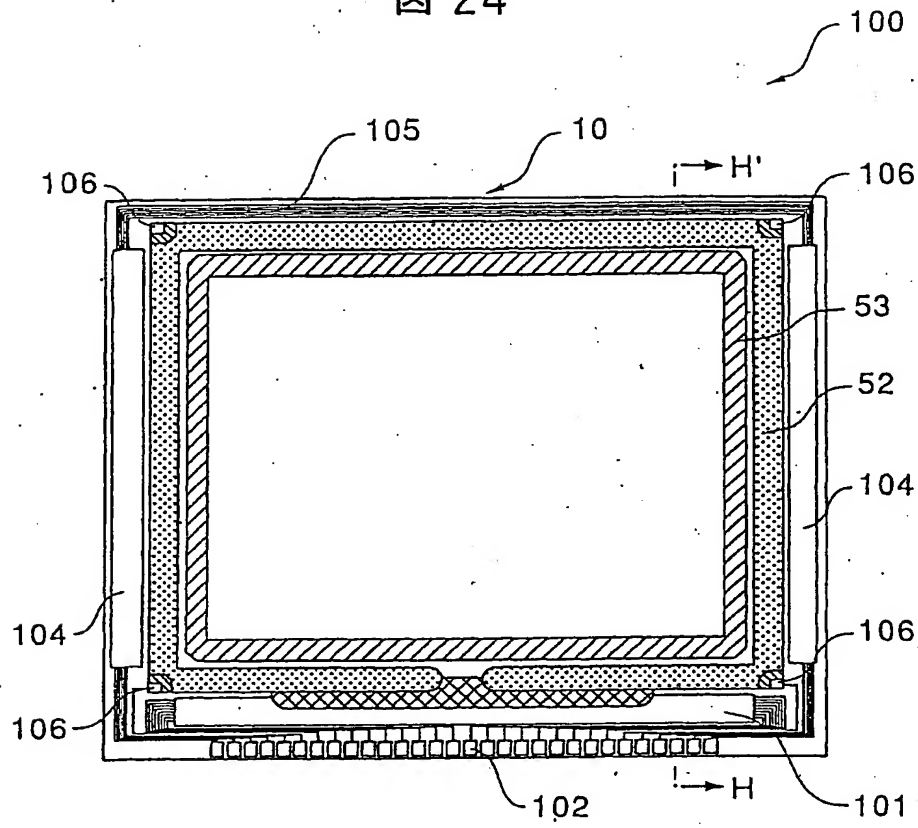
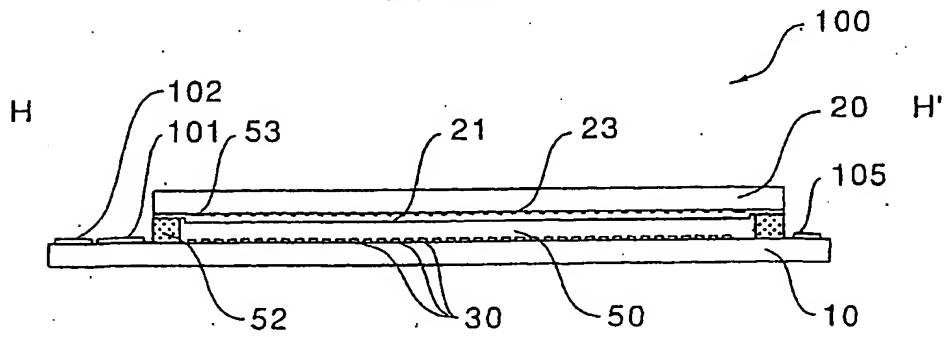
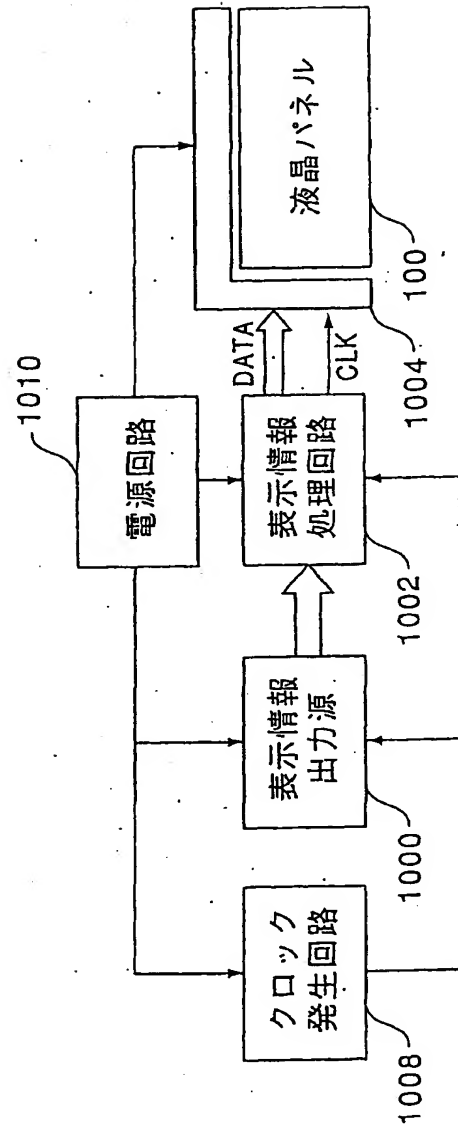


図 25



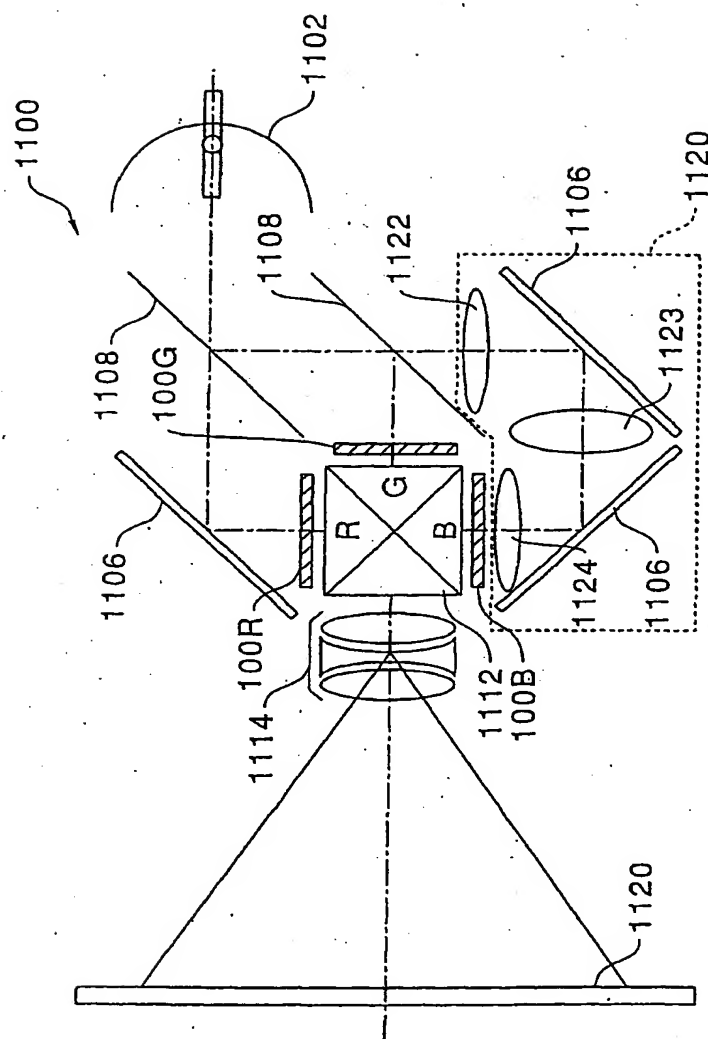
24/25

図 26



25/25

図 27



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/03359

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ G02F1/1368, G02F1/1335		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ G02F1/1368, G02F1/1335		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Kokai Jitsuyo Shinan Koho 1971-2001		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 9-90339, A (Toshiba Corporation), 04 April, 1997 (04.04.97) (Family: none)	20, 32-34
A		1-19, 21-31, 36
X	JP, 7-72473, A (Sony Corporation), 17 March, 1995 (17.03.95) (Family: none)	20, 35
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 29 June, 2001 (29.06.01)		Date of mailing of the international search report 10 July, 2001 (10.07.01)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int. Cl. G02F1/1368, G02F1/1335			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int. Cl. G02F1/1368, G02F1/1335			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2001年			
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	JP 9-90339 A (株式会社東芝) 4. 4月. 1997 (04. 04. 97) (ファミリーなし)	20, 32 -34	
A		1-19, 21-31, 36	
X	JP 7-72473 A (ソニー株式会社) 17. 3月. 199 5 (17. 03. 95) (ファミリーなし)	20, 35	
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に旨及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 29. 06. 01		国際調査報告の発送日 10.07.01	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 藤岡 善行 電話番号 03-3581-1101 内線 3255	